

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

JC836 U.S. PTO  
09/619435



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 9 年 9 月 3 0 日

出 願 番 号

Application Number:

平成 1 1 年特許願第 2 7 9 3 8 6 号

出 願 人

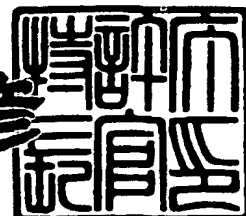
Applicant (s):

ミノルタ株式会社

2 0 0 0 年 5 月 1 9 日

特許庁長官  
Commissioner,  
Patent Office

近 藤 隆 彦



出証番号 出証特 2 0 0 0 - 3 0 3 6 6 0 5

【書類名】 特許願  
【整理番号】 P990930173  
【提出日】 平成11年 9月30日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 27/14  
【発明の名称】 固体撮像装置  
【請求項の数】 32  
【発明者】

【住所又は居所】 大阪府中央区安土町二丁目 3 番 1 3 号 大阪国際ビル  
ミノルタ株式会社内

【氏名】 萩原 義雄

【発明者】

【住所又は居所】 大阪府中央区安土町二丁目 3 番 1 3 号 大阪国際ビル  
ミノルタ株式会社内

【氏名】 高田 謙二

【特許出願人】

【識別番号】 000006079

【氏名又は名称】 ミノルタ株式会社

【代理人】

【識別番号】 100085501

【弁理士】

【氏名又は名称】 佐野 静夫

【先の出願に基づく優先権主張】

【出願番号】 平成11年特許願第208296号

【出願日】 平成11年 7月22日

【手数料の表示】

【予納台帳番号】 024969

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9716119

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置

【特許請求の範囲】

【請求項 1】 入射した光量に応じた電気信号を発生する感光素子と該感光素子に第 1 電極が電氣的に接続される第 1 のトランジスタを有するとともに該第 1 のトランジスタをサブスレッシュヨルド領域で動作させて前記電気信号を自然対数的に変換する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、

前記感光素子と前記第 1 のトランジスタの第 1 電極との間にスイッチ手段を備え、

前記スイッチ手段を ON にするとともに前記第 1 のトランジスタをサブスレッシュヨルド領域で動作させて撮像を行い、

又、前記スイッチ手段を OFF にするとともに前記第 1 のトランジスタに撮像時よりも大きい電流が流れ得るようにしてリセットを行うことを特徴とする固体撮像装置。

【請求項 2】 入射した光量に応じた電気信号を発生する感光素子と該感光素子に第 1 電極が電氣的に接続される第 1 のトランジスタを有するとともに該第 1 のトランジスタをサブスレッシュヨルド領域で動作させて前記電気信号を自然対数的に変換する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、

前記感光素子と前記第 1 のトランジスタの第 1 電極との間にスイッチ手段を備え、

前記スイッチ手段を ON にするとともに前記第 1 のトランジスタをサブスレッシュヨルド領域で動作させて撮像を行い、

又、前記スイッチ手段を OFF にするとともに前記第 1 のトランジスタに撮像時よりも大きい電流が流れ得るようにしてリセットを行うことによって前記各画素を同じ初期状態にすることを特徴とする固体撮像装置。

【請求項 3】 入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路と

を備えた複数の画素を有する固体撮像装置において、

前記光電変換手段が、

第 1 電極に直流電圧が印加された光電変換素子と、

前記光電変換素子の第 2 電極に一方の接点が接続された第 1 スイッチと、

第 1 電極と第 2 電極と制御電極とを備え、第 1 電極が前記スイッチの他方の接点に接続された第 1 のトランジスタと、

第 1 電極と第 2 電極と制御電極とを備え、第 1 電極に直流電圧が印加されるとともに制御電極が前記第 1 のトランジスタの第 1 電極に接続され、第 2 電極から電気信号を出力する第 2 のトランジスタと、

前記第 1 のトランジスタの第 1 電極と制御電極との間に接続された第 2 スイッチとを有し、

前記第 1 スイッチ及び前記第 2 スイッチを ON にして前記各画素に撮像動作を行わせ、

前記第 1 スイッチ及び前記第 2 スイッチを OFF にするとともに前記第 1 のトランジスタの制御電極と第 2 電極に与える電圧を変化させることによって、前記各画素の感度のバラツキを検出することを特徴とする固体撮像装置。

【請求項 4】 前記第 1 のトランジスタの制御電極に一方の接点が接続されるとともに、他方の接点に直流電圧が印加された第 3 スイッチを有し、

前記各画素が撮像動作を行うときは、前記第 3 スイッチを OFF にし、又、前記各画素の感度バラツキを検出するときは、前記第 3 スイッチを ON にすることを特徴とする請求項 3 に記載の固体撮像装置。

【請求項 5】 前記第 3 スイッチがトランジスタであることを特徴とする請求項 4 に記載の固体撮像装置。

【請求項 6】 前記第 1 のトランジスタの制御電極に一端が接続されたキャパシタが設けられ、

前記各画素が撮像動作を行うときと、前記各画素の感度バラツキを検出するときとで前記キャパシタの他端に印加する電圧を異ならせることを特徴とする請求項 3 に記載の固体撮像装置。

【請求項 7】 前記第 2 スイッチがトランジスタであることを特徴とする請求項 3 ～請求項 6 のいずれかに記載の固体撮像装置。

【請求項 8】 入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、

前記光電変換手段が、

第 1 電極に直流電圧が印加された光電変換素子と、

前記光電変換素子の第 2 電極に一方の接点が接続された第 1 スイッチと、

第 1 電極と第 2 電極と制御電極とを備え、第 1 電極及び制御電極が前記第 1 スイッチの他方の接点に接続されるとともに、第 2 電極に直流電圧が印加された第 1 のトランジスタと、

第 1 電極と第 2 電極と制御電極とを備え、第 1 電極に直流電圧が印加されるとともに制御電極が前記第 1 のトランジスタの第 1 電極及び制御電極に接続され、第 2 電極から電気信号を出力する第 2 のトランジスタと、

前記第 1 のトランジスタの制御電極に一端が接続されたりセット用キャパシタとを有し、

前記各画素が撮像動作を行うときは、前記第 1 スイッチを ON にするとともに前記リセット用キャパシタの他端に与える電圧を第 1 電圧として前記第 1 のトランジスタをサブスレッシュホールド領域で動作させ、

前記各画素をリセットするとき、前記第 1 スイッチを OFF にするとともに前記リセット用キャパシタの他端に与える電圧を第 2 電圧として、前記第 1 のトランジスタに撮像時よりも大きい電流が流れ得るようにすることを特徴とする固体撮像装置。

【請求項 9】 入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、

前記光電変換手段が、

第 1 電極に直流電圧が印加された光電変換素子と、

前記光電変換素子の第 2 電極に一方の接点が接続された第 1 スイッチと、

第 1 電極と第 2 電極と制御電極とを備え、第 1 電極及び制御電極が前記第 1 スイッチの他方の接点に接続された第 1 のトランジスタと、

第 1 電極と第 2 電極と制御電極とを備え、第 1 電極に直流電圧が印加されるとともに制御電極が前記第 1 のトランジスタの第 1 電極及び制御電極に接続され、第 2 電極から電気信号を出力する第 2 のトランジスタとを有し、

前記各画素が撮像動作を行うときは、前記第 1 スイッチを ON にするとともに前記第 1 のトランジスタの第 2 電極に与える電圧を第 1 電圧として前記第 1 のトランジスタをサブスレッシュホールド領域で動作させ、

前記各画素をリセットするとき、前記第 1 スイッチを OFF にするとともに前記第 1 のトランジスタの第 2 電極に与える電圧を第 2 電圧として、前記第 1 のトランジスタに前記第 2 電圧を与える前よりも大きい電流が流れ得るようにすることを特徴とする固体撮像装置。

【請求項 10】 入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、

前記光電変換手段が、

第 2 電極に直流電圧が印加された光電変換素子と、

前記光電変換素子の第 1 電極に一方の接点が接続された第 1 スイッチと、

第 1 電極と第 2 電極と制御電極とを備え、第 2 電極が前記第 1 スイッチの他方の接点に接続された第 1 のトランジスタと、

第 1 電極と第 2 電極と制御電極とを備え、第 1 電極に直流電圧が印加されるとともに制御電極が前記第 1 のトランジスタの第 2 電極に接続され、第 2 電極から電気信号を出力する第 2 のトランジスタとを有し、

前記第 1 スイッチを ON にするとともに前記第 1 のトランジスタをサブスレッシュホールド領域で動作させて前記各画素に撮像動作を行わせ、

前記第 1 スイッチを OFF にするとともに前記第 1 のトランジスタの第 1 電極に与える電圧を変化させることによって、前記各画素の感度のバラツキを検出することを特徴とする固体撮像装置。

【請求項 1 1】 前記第 1 スイッチが前記第 1 のトランジスタと逆極性のトランジスタであることを特徴とする請求項 3 ～請求項 9 のいずれかに記載の固体撮像装置。

【請求項 1 2】 前記第 1 スイッチがトランジスタであることを特徴とする請求項 3 ～請求項 1 0 に記載の固体撮像装置。

【請求項 1 3】 前記画素が、マトリクス状に配設されることを特徴とする請求項 1 ～請求項 1 2 のいずれかに記載の固体撮像装置。

【請求項 1 4】 複数の画素を有する固体撮像装置において、  
各画素が、  
フォトダイオードと、  
該フォトダイオードの一方の電極に第 1 電極が接続された第 1 MOS トランジスタと、

該第 1 MOS トランジスタの第 2 電極に第 1 電極が接続された第 2 MOS トランジスタと、

前記第 2 MOS トランジスタの第 1 電極にゲート電極が接続された第 3 MOS トランジスタと、

前記第 2 MOS トランジスタの第 1 電極に第 1 電極が接続されるとともに、前記第 2 MOS トランジスタのゲート電極に第 2 電極が接続された第 4 MOS トランジスタと、

前記第 2 MOS トランジスタのゲート電極に第 1 電極が接続されるとともに、第 2 電極に直流電圧が印加された第 5 MOS トランジスタとを有し、

前記第 1 及び第 4 MOS トランジスタを ON にするとともに、第 5 MOS トランジスタを OFF にして、前記第 2 MOS トランジスタを閾値以下のサブスレッショルド領域で動作させて前記各画素に撮像動作を行わせ、

前記第 1 及び第 4 MOS トランジスタを OFF にするとともに、前記第 5 MOS トランジスタを ON にした後、前記第 2 MOS トランジスタの第 2 電極に与える電圧を変化させることによって、前記第 2 MOS トランジスタの閾値電圧による各画素の感度のバラツキを検出することを特徴とする固体撮像装置。



【請求項 1 5】 複数の画素を有する固体撮像装置において、  
 各画素が、  
 フォトダイオードと、  
 該フォトダイオードの一方の電極に第 1 電極が接続された第 1 MOS トランジスタと、  
 該第 1 MOS トランジスタの第 2 電極に第 1 電極が接続された第 2 MOS トランジスタと、  
 前記第 2 MOS トランジスタの第 1 電極にゲート電極が接続された第 3 MOS トランジスタと、  
 前記第 2 MOS トランジスタの第 1 電極に第 1 電極が接続されるとともに、前記第 2 MOS トランジスタのゲート電極に第 2 電極が接続された第 4 MOS トランジスタと、  
 前記第 2 MOS トランジスタのゲート電極に一端が接続された第 1 キャパシタとを有し、  
 前記第 1 及び第 4 MOS トランジスタを ON にするとともに、前記第 1 キャパシタの他端に第 1 電圧を与えて、前記第 2 MOS トランジスタを閾値以下のサブスレッショルド領域で動作させて前記各画素に撮像動作を行わせ、  
 前記第 1 及び第 4 MOS トランジスタを OFF にするとともに、前記第 1 キャパシタの他端に第 2 電圧を与えた後、前記第 2 MOS トランジスタの第 2 電極に与える電圧を変化させることによって、前記第 2 MOS トランジスタの閾値電圧による各画素の感度のバラツキを検出することを特徴とする固体撮像装置。

【請求項 1 6】 複数の画素を有する固体撮像装置において、  
 各画素が、  
 フォトダイオードと、  
 該フォトダイオードの一方の電極に第 1 電極が接続された第 1 MOS トランジスタと、  
 該第 1 MOS トランジスタの第 2 電極に第 1 電極及びゲート電極が接続された第 2 MOS トランジスタと、  
 前記第 2 MOS トランジスタの第 1 電極及びゲート電極にゲート電極が接続さ

れた第 3 MOS トランジスタと、

前記第 2 MOS トランジスタの第 1 電極及びゲート電極に一端が接続された第 1 キャパシタとを有し、

前記画素に撮像動作をさせるときは、前記第 1 MOS トランジスタを ON にするとともに、前記第 1 キャパシタの他端に第 1 電圧を与えて、前記第 2 MOS トランジスタを閾値以下のサブスレッショルド領域で動作させ、

前記画素のリセットを行うときは、前記第 1 MOS トランジスタを OFF にするとともに、前記第 1 キャパシタの他端に第 2 電圧を与えて、前記第 2 MOS トランジスタに撮像時よりも大きい電流が流れ得るようにすることを特徴とする固体撮像装置。

【請求項 1 7】 複数の画素を有する固体撮像装置において、

各画素が、

フォトダイオードと、

該フォトダイオードの一方の電極に第 1 電極が接続された第 1 MOS トランジスタと、

該第 1 MOS トランジスタの第 2 電極に第 1 電極及びゲート電極が接続された第 2 MOS トランジスタと、

前記第 2 MOS トランジスタの第 1 電極及びゲート電極にゲート電極が接続された第 3 MOS トランジスタとを有し、

前記画素に撮像動作をさせるときは、前記第 1 MOS トランジスタを ON にするとともに、前記第 2 MOS トランジスタの第 2 電極に第 1 電圧を与えて、前記第 2 MOS トランジスタを閾値以下のサブスレッショルド領域で動作させ、

前記画素のリセットを行うときは、前記第 1 MOS トランジスタを OFF にするとともに、前記第 2 MOS トランジスタの第 2 電極に第 2 電圧を与えて、前記第 2 MOS トランジスタに前記第 2 電圧を与える前よりも大きい電流が流れ得るようにすることを特徴とする固体撮像装置。

【請求項 1 8】 前記画素が、第 1 電極が前記第 3 MOS トランジスタの第 2 電極に接続され、第 2 電極が出力信号線に接続され、ゲート電極が行選択線に接続された第 7 MOS トランジスタを有することを特徴とする請求項 1 4 ～請求項

1 7 のいずれかに記載の固体撮像装置。

【請求項 1 9】 前記画素が、第 1 電極に直流電圧が印加され、ゲート電極が前記第 3 MOS トランジスタの第 2 電極に接続されるとともに、前記第 3 MOS トランジスタの第 2 電極から出力される出力信号を増幅する第 6 MOS トランジスタを有することを特徴とする請求項 1 4 ～請求項 1 7 のいずれかに記載の固体撮像装置。

【請求項 2 0】 前記画素が、第 1 電極が前記第 6 MOS トランジスタの第 2 電極に接続され、第 2 電極が出力信号線に接続され、ゲート電極が行選択線に接続された第 7 MOS トランジスタを有することを特徴とする請求項 1 9 に記載の固体撮像装置。

【請求項 2 1】 前記画素が、前記第 3 MOS トランジスタの第 2 電極に一端が接続されるとともに、前記第 3 MOS トランジスタの第 1 電極にリセット電圧が与えられたときに前記第 3 MOS トランジスタを介してリセットされる第 2 キャパシタを有することを特徴とする請求項 1 9 又は請求項 2 0 に記載の固体撮像装置。

【請求項 2 2】 前記第 3 MOS トランジスタの第 1 電極に直流電圧が印加されるとともに、

前記画素が、

前記第 3 MOS トランジスタの第 2 電極に第 1 電極が接続され第 2 電極に直流電圧が接続された第 8 MOS トランジスタと、

前記第 3 MOS トランジスタの第 2 電極に一端が接続されるとともに、前記第 8 MOS トランジスタのゲート電極にリセット電圧が与えられたときに前記第 8 MOS トランジスタを介してリセットされる第 2 キャパシタと、

を有することを特徴とする請求項 1 9 又は請求項 2 0 に記載の固体撮像装置。

【請求項 2 3】 前記第 1 MOS トランジスタがディプレッション型 MOS トランジスタであることを特徴とする請求項 1 4 ～請求項 2 2 のいずれかに記載の固体撮像装置。

【請求項 2 4】 前記第 1 MOS トランジスタが前記第 2 MOS トランジスタと逆極性の MOS トランジスタであることを特徴とする請求項 1 4 ～請求項 2 2

にのいずれかに記載の固体撮像装置。

【請求項 2 5】 複数の画素を有する固体撮像装置において、

各画素が、

フォトダイオードと、

該フォトダイオードの一方の電極に第 2 電極が接続された第 1 MOS トランジスタと、

該第 1 MOS トランジスタの第 1 電極に第 2 電極が接続された第 2 MOS トランジスタと、

前記第 2 MOS トランジスタの第 2 電極にゲート電極が接続された第 3 MOS トランジスタとを有し、

前記第 1 MOS トランジスタを ON にするとともに、前記第 2 MOS トランジスタを閾値以下のサブスレッショルド領域で動作させて前記各画素に撮像動作を行わせ、

前記第 1 MOS トランジスタを OFF にした後、前記第 2 MOS トランジスタの第 1 電極に与える電圧を変化させることによって、前記第 2 MOS トランジスタの閾値電圧による各画素の感度のバラツキを検出することを特徴とする固体撮像装置。

【請求項 2 6】 前記画素が、第 1 電極が前記第 3 MOS トランジスタの第 2 電極に接続され、第 2 電極が出力信号線に接続され、ゲート電極が行選択線に接続された第 5 MOS トランジスタを有することを特徴とする請求項 2 5 に記載の固体撮像装置。

【請求項 2 7】 前記画素が、第 1 電極が直流電圧に接続され、ゲート電極が前記第 3 MOS トランジスタの第 2 電極に接続されるとともに、前記第 3 MOS トランジスタの第 2 電極から出力される出力信号を増幅する第 4 MOS トランジスタを有することを特徴とする請求項 2 5 に記載の固体撮像装置。

【請求項 2 8】 前記画素が、第 1 電極が前記第 4 MOS トランジスタの第 2 電極に接続され、第 2 電極が出力信号線に接続され、ゲート電極が行選択線に接続された第 5 MOS トランジスタを有することを特徴とする請求項 2 7 に記載の固体撮像装置。

【請求項 2 9】 前記画素が、前記第 3 MOS トランジスタの第 2 電極に一端が接続され他端が直流電圧に接続されるとともに、前記第 3 MOS トランジスタの第 1 電極にリセット電圧が与えられたときに前記第 3 MOS トランジスタを介してリセットされるキャパシタを有することを特徴とする請求項 2 7 又は請求項 2 8 に記載の固体撮像装置。

【請求項 3 0】 前記第 3 MOS トランジスタが前記第 1 及び第 2 MOS トランジスタと逆の極性の MOS トランジスタであることを特徴とする請求項 2 9 に記載の固体撮像装置。

【請求項 3 1】 前記第 3 MOS トランジスタの第 1 電極が直流電圧に接続されるとともに、

前記画素が、

前記第 3 MOS トランジスタの第 2 電極に第 1 電極が接続され第 2 電極に直流電圧が接続された第 6 MOS トランジスタと、

前記第 3 MOS トランジスタの第 2 電極に一端が接続され他端が直流電圧に接続されるとともに、前記第 6 MOS トランジスタのゲート電極にリセット電圧が与えられたときに前記第 6 MOS トランジスタを介してリセットされるキャパシタと、

を有することを特徴とする請求項 2 7 又は請求項 2 8 に記載の固体撮像装置。

【請求項 3 2】 前記第 3 及び第 6 MOS トランジスタが前記第 1 及び第 2 MOS トランジスタと逆の極性の MOS トランジスタであることを特徴とする請求項 3 1 に記載の固体撮像装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は固体撮像装置に関するものであり、特に複数の画素を備えた固体撮像装置に関する。

【0 0 0 2】

【従来の技術】

固体撮像装置は、小型、軽量で低消費電力であるのみならず、画像歪や焼き付

きが無く、振動や磁界などの環境条件に強い。又、L S I (Large Scale Integrated circuit) と共通の工程又は類似の工程で製造できるので、信頼性が高く、量産にも適している。このため、ライン状に画素が配された固体撮像装置がファクシミリやフラットベッドスキャナに、マトリクス状に画素が配された固体撮像装置がビデオカメラやデジタルカメラなどに幅広く使用されている。ところで、このような固体撮像装置は光電変換素子で発生した光電荷を読み出す（取り出す）手段によってCCD型とMOS型に大きく分けられる。CCD型は光電荷をポテンシャルの井戸に蓄積しつつ、転送するようになっており、ダイナミックレンジが狭いという欠点がある。一方、MOS型はフォトダイオードのp n接合容量に蓄積した電荷をMOSトランジスタを通して読み出すようになっている。

#### 【0003】

ここで、従来のMOS型固体撮像装置の1画素当りの構成を図54に示し説明する。同図において、PDはフォトダイオードであり、そのカソードがMOSトランジスタT1のゲートとMOSトランジスタT2のドレインに接続されている。MOSトランジスタT1のソースはMOSトランジスタT3のドレインに接続され、MOSトランジスタT3のソースは出力信号線V<sub>out</sub>へ接続されている。またMOSトランジスタT1のドレイン及びMOSトランジスタT2のソースには直流電圧V<sub>PD</sub>が印加され、フォトダイオードのアノードには直流電圧V<sub>PS</sub>が印加されている。

#### 【0004】

フォトダイオードPDに光が入射すると、光電荷が発生し、その電荷はMOSトランジスタT1のゲートに蓄積される。ここで、MOSトランジスタT3のゲートにパルス信号 $\phi V$ を与えてMOSトランジスタT3をONすると、MOSトランジスタT1のゲートの電荷に比例した電流がMOSトランジスタT1、T3を導いて出力信号線V<sub>out</sub>へ導出される。このようにして入射光量に比例した出力電流を読み出すことができる。信号読み出し後はMOSトランジスタT3をOFFにするとともに、MOSトランジスタT2のゲートに信号 $\phi RS$ を与えてMOSトランジスタT2をONすることでMOSトランジスタT1のゲート電圧を初期化させることができる。

## 【 0 0 0 5 】

## 【発明が解決しようとする課題】

このように、従来のMOS型の固体撮像装置は各画素においてフォトダイオードで発生しMOSトランジスタのゲートに蓄積された光電荷をそのまま読み出すものであったからダイナミックレンジが狭く、そのため露光量を精密に制御しなければならず、しかも露光量を精密に制御しても暗い部分が黒くつぶれたり、明るい部分が飽和したりしていた。一方、本出願人は、入射した光量に応じた光電流を発生しうる感光手段と、光電流を入力するMOSトランジスタと、このMOSトランジスタをサブスレッショルド電流が流れうる状態にバイアスするバイアス手段とを備え、光電流を対数変換するようにした固体撮像装置を提案した（特開平 3 - 1 9 2 7 6 4 号公報参照）。このような固体撮像装置は、広いダイナミックレンジを有しているものの、画素毎に設けられたMOSトランジスタの閾値特性が異なることがあり、画素毎に感度が異なる場合がある。よって、予め輝度が一樣な明るい光（一樣光）を照射することによって得られた出力を、被写体の撮像時の各画素の出力を補正する補正データとして保持するなどの対策が必要がある。

## 【 0 0 0 6 】

しかしながら、操作者が外部光源を用いて各画素を照射するのは煩雑であったり、又、うまく一樣に露光できないなどの問題がある。又、一樣光の照射機構を撮像装置に設けると撮像装置の構成が煩雑になるという問題があった。そこで本発明者らは、このような問題点を解決すべく、予め一樣光を照射することなく各画素の感度バラツキをうち消すことができる回路構成について種々検討を行っている。本発明はこのような点に鑑みなされたものであって、予め一樣光を照射することなく、被写体の撮像時における各画素の出力を補正する補正データを正確に得ることができる固体撮像装置を提供することを目的とする。又、本発明の他の目的は、各画素の初期状態をほぼ同一の状態とする事によって、各画素の感度のバラツキを抑制した固体撮像装置を提供することである。

## 【0007】

## 【課題を解決するための手段】

上記の目的を達成するため請求項 1 に記載の固体撮像装置は、入射した光量に応じた電気信号を発生する感光素子と該感光素子に第 1 電極が電氣的に接続される第 1 のトランジスタを有するとともに該第 1 のトランジスタをサブスレッシュヨルド領域で動作させて前記電気信号を自然対数的に変換する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記感光素子と前記第 1 のトランジスタの第 1 電極との間にスイッチ手段を備え、前記スイッチ手段を ON にするとともに前記第 1 のトランジスタをサブスレッシュヨルド領域で動作させて撮像を行い、又、前記スイッチ手段を OFF にするとともに前記第 1 のトランジスタに撮像時よりも大きい電流が流れ得るようにしてリセットを行うことを特徴とする。

## 【0008】

又、請求項 2 に記載の固体撮像装置は、入射した光量に応じた電気信号を発生する感光素子と該感光素子に第 1 電極が電氣的に接続される第 1 のトランジスタを有するとともに該第 1 のトランジスタをサブスレッシュヨルド領域で動作させて前記電気信号を自然対数的に変換する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記感光素子と前記第 1 のトランジスタの第 1 電極との間にスイッチ手段を備え、前記スイッチ手段を ON にするとともに前記第 1 のトランジスタをサブスレッシュヨルド領域で動作させて撮像を行い、又、前記スイッチ手段を OFF にするとともに前記第 1 のトランジスタに撮像時よりも大きい電流が流れ得るようにしてリセットを行うことによって前記各画素を同じ初期状態にすることを特徴とする。

## 【0009】

請求項 1 又は請求項 2 に記載のような固体撮像装置は、例えば、ビデオムービーなどの撮像装置のように撮像動作とリセット動作を繰り返し行うことで、動画を撮像する場合、感光素子に光が入射された状態でも、スイッチ手段を OFF にすることによって、感光素子からの電気出力の影響がカットされ、光電変換手



段を正確にリセットすることができる。又、第 1 のトランジスタに撮像時よりも大きい電流が流れ得るようにしてリセットを行うことによって各画素が同じ初期状態となり、各画素の感度バラツキを抑制することができる。

【 0 0 1 0 】

請求項 3 に記載の固体撮像装置は、入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記光電変換手段が、第 1 電極に直流電圧が印加された光電変換素子と、前記光電変換素子の第 2 電極に一方の接点が接続された第 1 スイッチと、第 1 電極と第 2 電極と制御電極とを備え、第 1 電極が前記スイッチの他方の接点に接続された第 1 のトランジスタと、第 1 電極と第 2 電極と制御電極とを備え、第 1 電極に直流電圧が印加されるとともに制御電極が前記第 1 のトランジスタの第 1 電極に接続され、第 2 電極から電気信号を出力する第 2 のトランジスタと、前記第 1 のトランジスタの第 1 電極と制御電極との間に接続された第 2 スイッチとを有し、前記第 1 スイッチ及び前記第 2 スイッチを ON にして前記各画素に撮像動作を行わせ、前記第 1 スイッチ及び前記第 2 スイッチを OFF にするとともに前記第 1 のトランジスタの制御電極と第 2 電極に与える電圧を変化させることによって、前記各画素の感度のバラツキを検出することを特徴とする。

【 0 0 1 1 】

このような固体撮像装置において、請求項 4 に記載するように、前記第 1 のトランジスタの制御電極に一方の接点が接続されるとともに、他方の接点に直流電圧が印加された第 3 スイッチを設けて、前記各画素が撮像動作を行うときは、前記第 3 スイッチを OFF にし、又、前記各画素の感度のバラツキを検出するときは、前記第 3 スイッチを ON にするような構成にしても良い。又、請求項 5 に記載するように、この第 3 スイッチをトランジスタとしても良い。又、請求項 6 に記載するように、前記第 1 のトランジスタの制御電極に一端が接続されたキャパシタが設けて、前記各画素が撮像動作を行うときと、前記各画素の感度バラツキを検出するときとで前記キャパシタの他端に印加する電圧を異ならせるような固体撮像装置としても良い。又、請求項 7 に記載するように、前記第 2 スイッチを

トランジスタとしても良い。

【0012】

請求項 8 に記載の固体撮像装置は、入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記光電変換手段が、第 1 電極に直流電圧が印加された光電変換素子と、前記光電変換素子の第 2 電極に一方の接点が接続された第 1 スイッチと、第 1 電極と第 2 電極と制御電極とを備え、第 1 電極及び制御電極が前記第 1 スイッチの他方の接点に接続されるとともに、第 2 電極に直流電圧が印加された第 1 のトランジスタと、第 1 電極と第 2 電極と制御電極とを備え、第 1 電極に直流電圧が印加されるとともに制御電極が前記第 1 のトランジスタの第 1 電極及び制御電極に接続され、第 2 電極から電気信号を出力する第 2 のトランジスタと、前記第 1 のトランジスタの制御電極に一端が接続されたりセット用キャパシタとを有し、前記各画素が撮像動作を行うときは、前記第 1 スイッチを ON にするとともに前記リセット用キャパシタの他端に与える電圧を第 1 電圧として前記第 1 のトランジスタをサブスレッシュホールド領域で動作させ、前記各画素をリセットするとき、前記第 1 スイッチを OFF にするとともに前記リセット用キャパシタの他端に与える電圧を第 2 電圧として、前記第 1 のトランジスタに撮像時よりも大きい電流が流れ得るようにすることを特徴とする。

【0013】

このような固体撮像装置において、各画素の前記リセット用キャパシタの他端に与える第 2 電圧を一定の電圧値にすることによって、各画素をリセットさせたとき、各画素の前記第 2 のトランジスタの制御電圧をほぼ同一の初期状態とすることができる。よって、画素毎に生じる感度のバラツキを抑制することができる。

【0014】

請求項 9 に記載の固体撮像装置は、入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記光

電変換手段が、第 1 電極に直流電圧が印加された光電変換素子と、前記光電変換素子の第 2 電極に一方の接点が接続された第 1 スイッチと、第 1 電極と第 2 電極と制御電極とを備え、第 1 電極及び制御電極が前記第 1 スイッチの他方の接点に接続された第 1 のトランジスタと、第 1 電極と第 2 電極と制御電極とを備え、第 1 電極に直流電圧が印加されるとともに制御電極が前記第 1 のトランジスタの第 1 電極及び制御電極に接続され、第 2 電極から電気信号を出力する第 2 のトランジスタとを有し、前記各画素が撮像動作を行うときは、前記第 1 スイッチを ON にするとともに前記第 1 のトランジスタの第 2 電極に与える電圧を第 1 電圧として前記第 1 のトランジスタをサブスレッシュホールド領域で動作させ、前記各画素をリセットするとき、前記第 1 スイッチを OFF にするとともに前記第 1 のトランジスタの第 2 電極に与える電圧を第 2 電圧として、前記第 1 のトランジスタに前記第 2 電圧を与える前よりも大きい電流が流れ得るようにすることを特徴とする。

#### 【0015】

このような固体撮像装置において、各画素の前記第 2 のトランジスタの第 2 電極に与える第 2 電圧を一定の電圧値にすることによって、各画素をリセットさせたとき、各画素の前記第 2 のトランジスタの制御電圧をほぼ同一の初期状態とすることができる。よって、画素毎に生じる感度のバラツキを抑制することができる。

#### 【0016】

請求項 10 に記載の固体撮像装置は、入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記光電変換手段が、第 2 電極に直流電圧が印加された光電変換素子と、前記光電変換素子の第 1 電極に一方の接点が接続された第 1 スイッチと、第 1 電極と第 2 電極と制御電極とを備え、第 2 電極が前記第 1 スイッチの他方の接点に接続された第 1 のトランジスタと、第 1 電極と第 2 電極と制御電極とを備え、第 1 電極に直流電圧が印加されるとともに制御電極が前記第 1 のトランジスタの第 2 電極に接続され、第 2 電極から電気信号を出力する第 2 のトランジスタとを有し、前記第

1 スイッチをONにするとともに前記第1のトランジスタをサブスレッショルド領域で動作させて前記各画素に撮像動作を行わせ、前記第1スイッチをOFFにするとともに前記第1のトランジスタの第1電極に与える電圧を変化させることによって、前記各画素の感度のバラツキを検出することを特徴とする。

## 【0017】

このような固体撮像装置において、前記第1のトランジスタをサブスレッショルド領域で動作するように該第1のトランジスタ制御電極に電圧を与えることによって、前記光電変換手段を対数変換動作させることができる。又、前記第1のトランジスタを非導通状態になるように制御電極に電圧を与えることによって、第2のトランジスタの制御電極に電荷を蓄積させて、前記光電変換手段を線形変換動作させることができる。

## 【0018】

請求項11に記載の固体撮像装置は、請求項3～請求項9のいずれかに記載の固体撮像装置において、前記第1スイッチが前記第1のトランジスタと逆極性のトランジスタであることを特徴とする。又、請求項12に記載の固体撮像装置は、請求項3～請求項10に記載の固体撮像装置において、前記第1スイッチがトランジスタであることを特徴とする。

## 【0019】

請求項13に記載の固体撮像装置は、請求項1～12のいずれかに記載の固体撮像装置において、前記画素がマトリクス状に配設されることを特徴とする。

## 【0020】

請求項14に記載の固体撮像装置は、複数の画素を有する固体撮像装置において、各画素が、フォトダイオードと、該フォトダイオードの一方の電極に第1電極が接続された第1MOSトランジスタと、該第1MOSトランジスタの第2電極に第1電極が接続された第2MOSトランジスタと、前記第2MOSトランジスタの第1電極にゲート電極が接続された第3MOSトランジスタと、前記第2MOSトランジスタの第1電極に第1電極が接続されるとともに、前記第2MOSトランジスタのゲート電極に第2電極が接続された第4MOSトランジスタと、前記第2MOSトランジスタのゲート電極に第1電極が接続されるとともに、

第 2 電極に直流電圧が印加された第 5 MOS トランジスタとを有し、前記第 1 及び第 4 MOS トランジスタを ON にするとともに、第 5 MOS トランジスタを OFF にして、前記第 2 MOS トランジスタを閾値以下のサブスレッショルド領域で動作させて前記各画素に撮像動作を行わせ、前記第 1 及び第 4 MOS トランジスタを OFF にするとともに、前記第 5 MOS トランジスタを ON にした後、前記第 2 MOS トランジスタの第 2 電極に与える電圧を変化させることによって前記第 2 MOS トランジスタの閾値電圧による各画素の感度のバラツキを検出することを特徴とする。

## 【 0 0 2 1 】

請求項 1 5 に記載の固体撮像装置は、複数の画素を有する固体撮像装置において、各画素が、フォトダイオードと、該フォトダイオードの一方の電極に第 1 電極が接続された第 1 MOS トランジスタと、該第 1 MOS トランジスタの第 2 電極に第 1 電極が接続された第 2 MOS トランジスタと、前記第 2 MOS トランジスタの第 1 電極にゲート電極が接続された第 3 MOS トランジスタと、前記第 2 MOS トランジスタの第 1 電極に第 1 電極が接続されるとともに、前記第 2 MOS トランジスタのゲート電極に第 2 電極が接続された第 4 MOS トランジスタと、前記第 2 MOS トランジスタのゲート電極に一端が接続された第 1 キャパシタとを有し、前記第 1 及び第 4 MOS トランジスタを ON にするとともに、前記第 1 キャパシタの他端に第 1 電圧を与えて、前記第 2 MOS トランジスタを閾値以下のサブスレッショルド領域で動作させて前記各画素に撮像動作を行わせ、前記第 1 及び第 4 MOS トランジスタを OFF にするとともに、前記第 1 キャパシタの他端に第 2 電圧を与えた後、前記第 2 MOS トランジスタの第 2 電極に与える電圧を変化させることによって前記第 2 MOS トランジスタの閾値電圧による各画素の感度のバラツキを検出することを特徴とする。

## 【 0 0 2 2 】

請求項 1 6 に記載の固体撮像装置は、複数の画素を有する固体撮像装置において、各画素が、フォトダイオードと、該フォトダイオードの一方の電極に第 1 電極が接続された第 1 MOS トランジスタと、該第 1 MOS トランジスタの第 2 電極に第 1 電極及びゲート電極が接続された第 2 MOS トランジスタと、前記第 2

MOSトランジスタの第1電極及びゲート電極にゲート電極が接続された第3 MOSトランジスタと、前記第2 MOSトランジスタの第1電極及びゲート電極に一端が接続された第1キャパシタとを有し、前記画素に撮像動作をさせるときは、前記第1 MOSトランジスタをONにするとともに、前記第1キャパシタの他端に第1電圧を与えて、前記第2 MOSトランジスタを閾値以下のサブスレッショルド領域で動作させ、前記画素のリセットを行うときは、前記第1 MOSトランジスタをOFFにするとともに、前記第1キャパシタの他端に第2電圧を与えて、前記第2 MOSトランジスタに撮像時よりも大きい電流が流れ得るようにすることを特徴とする。

## 【0023】

請求項17に記載の固体撮像装置は、複数の画素を有する固体撮像装置において、各画素が、フォトダイオードと、該フォトダイオードの一方の電極に第1電極が接続された第1 MOSトランジスタと、該第1 MOSトランジスタの第2電極に第1電極及びゲート電極が接続された第2 MOSトランジスタと、前記第2 MOSトランジスタの第1電極及びゲート電極にゲート電極が接続された第3 MOSトランジスタとを有し、前記画素に撮像動作をさせるときは、前記第1 MOSトランジスタをONにするとともに、前記第2 MOSトランジスタの第2電極に第1電圧を与えて、前記第2 MOSトランジスタを閾値以下のサブスレッショルド領域で動作させ、前記画素のリセットを行うときは、前記第1 MOSトランジスタをOFFにするとともに、前記第2 MOSトランジスタの第2電極に第2電圧を与えて、前記第2 MOSトランジスタに前記第2電圧を与える前よりも大きい電流が流れ得るようにすることを特徴とする。

## 【0024】

又、請求項18に記載するように、前記画素に、第1電極が前記第3 MOSトランジスタの第2電極に接続され、第2電極が出力信号線に接続され、ゲート電極が行選択線に接続された第7 MOSトランジスタを設けても良い。又、請求項19に記載の固体撮像装置のように、前記画素に、第1電極に直流電圧が印加され、ゲート電極が前記第3 MOSトランジスタの第2電極に接続されるとともに、前記第3 MOSトランジスタの第2電極から出力される出力信号を増幅する第

6MOSトランジスタを設けても良い。

【0025】

請求項20に記載の固体撮像装置は、請求項19に記載の固体撮像装置において、前記画素が、第1電極が前記第6MOSトランジスタの第2電極に接続され、第2電極が出力信号線に接続され、ゲート電極が行選択線に接続された第7MOSトランジスタを有することを特徴とする。

【0026】

請求項21に記載の固体撮像装置は、請求項19又は請求項20に記載の固体撮像装置において、前記画素が、前記第3MOSトランジスタの第2電極に一端が接続されるとともに、前記第3MOSトランジスタの第1電極にリセット電圧が与えられたときに前記第3MOSトランジスタを介してリセットされるキャパシタを有することを特徴とする。

【0027】

請求項22に記載の固体撮像装置は、請求項19又は請求項20に記載の固体撮像装置において、前記第3MOSトランジスタの第1電極に直流電圧が印加されるとともに、前記画素が、前記第3MOSトランジスタの第2電極に第1電極が接続され第2電極に直流電圧が接続された第8MOSトランジスタと、前記第8MOSトランジスタの第2電極に一端が接続されるとともに、前記第8MOSトランジスタのゲート電極にリセット電圧が与えられたときに前記第8MOSトランジスタを介してリセットされるキャパシタと、を有することを特徴とする。

【0028】

請求項23に記載の固体撮像装置は、請求項14～請求項22のいずれかに記載の固体撮像装置において、前記第1MOSトランジスタがディプレッション型MOSトランジスタであることを特徴とする。又、請求項24に記載の固体撮像装置は、請求項14～請求項22のいずれかに記載の固体撮像装置において、前記第1MOSトランジスタが前記第2MOSトランジスタと逆極性のMOSトランジスタであることを特徴とする。

【0029】

請求項25に記載の固体撮像装置は、複数の画素を有する固体撮像装置におい

て、各画素が、フォトダイオードと、該フォトダイオードの一方の電極に第2電極が接続された第1MOSトランジスタと、該第1MOSトランジスタの第1電極に第2電極が接続された第2MOSトランジスタと、前記第2MOSトランジスタの第2電極にゲート電極が接続された第3MOSトランジスタとを有し、前記第1MOSトランジスタをONにするとともに、前記第2MOSトランジスタを閾値以下のサブスレッショルド領域で動作させて前記各画素に撮像動作を行わせ、前記第1MOSトランジスタをOFFにした後、前記第2MOSトランジスタの第1電極に与える電圧を変化させることによって、前記第2MOSトランジスタの閾値電圧による各画素の感度のバラツキを検出することを特徴とする。

## 【0030】

請求項25に記載の固体撮像装置において、請求項26に記載するように、前記画素に、第1電極が前記第3MOSトランジスタの第2電極に接続され、第2電極が出力信号線に接続され、ゲート電極が行選択線に接続された第5MOSトランジスタを設けても構わない。

## 【0031】

又、請求項27に記載するように、前記画素に、前記画素が、第1電極が直流電圧に接続され、ゲート電極が前記第3MOSトランジスタの第2電極に接続されるとともに、前記第3MOSトランジスタの第2電極から出力される出力信号を増幅する第4MOSトランジスタ設けた構成としても構わない。又、このような構成の固体撮像装置において、請求項28に記載するように、前記画素に、第1電極が前記第4MOSトランジスタの第2電極に接続され、第2電極が出力信号線に接続され、ゲート電極が行選択線に接続された第5MOSトランジスタを設けても構わない。

## 【0032】

又、請求項27又は請求項28に記載の固体撮像装置において、請求項29に記載するように、前記画素に、前記第3MOSトランジスタの第2電極に一端が接続され他端が直流電圧に接続されるとともに、前記第3MOSトランジスタの第1電極にリセット電圧が与えられたときに前記第3MOSトランジスタを介してリセットされるキャパシタを設けても良い。このような構成にすることによ



て、画素から出力される信号が、一旦キャパシタで積分された信号となるので、光源の変動成分や高周波のノイズがキャパシタで吸収されて除去される。更に、前記第 3 MOS トランジスタの第 1 電極にリセット電圧を与えることによって、前記第 3 MOS トランジスタを介してキャパシタ内の電荷が放出されてリセットされる。

#### 【 0 0 3 3 】

このような構成の固体撮像装置において、請求項 3 0 に記載するように、前記第 3 MOS トランジスタが前記第 1 及び第 2 MOS トランジスタと逆の極性の MOS トランジスタとしても構わない。

#### 【 0 0 3 4 】

又、請求項 3 1 に記載するように、前記画素において、前記第 3 MOS トランジスタの第 1 電極が直流電圧に接続されるとともに、前記画素が、前記第 3 MOS トランジスタの第 2 電極に第 1 電極が接続され第 2 電極に直流電圧が接続された第 6 MOS トランジスタと、前記第 3 MOS トランジスタの第 2 電極に一端が接続され他端が直流電圧に接続されるとともに、前記第 6 MOS トランジスタのゲート電極にリセット電圧が与えられたときに前記第 6 MOS トランジスタを介してリセットされるキャパシタと、を設けても構わない。このような構成にすることによって、画素から出力される信号が、一旦キャパシタで積分された信号となるので、光源の変動成分や高周波のノイズがキャパシタで吸収されて除去される。更に、前記第 6 MOS トランジスタのゲート電極にリセット電圧を与えることによって、前記第 6 MOS トランジスタを介してキャパシタ内の電荷が放出されてリセットされる。

#### 【 0 0 3 5 】

このような構成の固体撮像装置において、請求項 3 2 に記載するように、前記第 3 及び第 6 MOS トランジスタを前記第 1 及び第 2 MOS トランジスタと逆の極性の MOS トランジスタとしても構わない。

#### 【 0 0 3 6 】

#### 【発明の実施の形態】

#### <画素構成の第 1 例>

以下、本発明の固体撮像装置の各実施形態を図面を参照して説明する。図 1 は本発明の一実施形態である二次元の MOS 型固体撮像装置の一部の構成を概略的に示している。同図において、 $G_{11} \sim G_{mn}$  は行列配置（マトリクス配置）された画素を示している。2 は垂直走査回路であり、行（ライン）4-1、4-2、 $\dots$ 、4-n を順次走査していく。3 は水平走査回路であり、画素から出力信号線 6-1、6-2、 $\dots$ 、6-m に導出された光電変換信号を画素ごとに水平方向に順次読み出す。5 は電源ラインである。各画素に対し、上記ライン 4-1、4-2  $\dots$ 、4-n や出力信号線 6-1、6-2  $\dots$ 、6-m、電源ライン 5 だけでなく、他のライン（例えば、クロックラインやバイアス供給ライン等）も接続されるが、図 1 ではこれらについて省略する。

【0037】

出力信号線 6-1、6-2、 $\dots$ 、6-m ごとに N チャネルの MOS トランジスタ Q2 が図示の如く 1 つずつ設けられている。MOS トランジスタ Q2 のドレインは出力信号線 6-1 に接続され、ソースは最終的な信号線 9 に接続され、ゲートは水平走査回路 3 に接続されている。尚、後述するように各画素内にはスイッチ用の N チャネルの第 4 MOS トランジスタ T4 も設けられている。ここで、MOS トランジスタ T4 は行の選択を行うものであり、MOS トランジスタ Q2 は列の選択を行うものである。

【0038】

#### <第 1 の実施形態>

図 1 に示した画素構成の第 1 例の各画素に適用される第 1 の実施形態（図 2）について、図面を参照して説明する。

【0039】

図 2 において、pn フォトダイオード PD が感光部（光電変換部）を形成している。そのフォトダイオード PD のアノードは第 1 MOS トランジスタ T1 のドレインに接続され、この MOS トランジスタ T1 のソースは、第 2 MOS トランジスタのドレイン、第 3 MOS トランジスタ T3 のゲート及び第 5 MOS トランジスタ T5 のドレインに接続されている。MOS トランジスタ T3 のソースは行選択用の第 4 MOS トランジスタ T4 のドレインに接続されている。MOS トラ

ンジスタ T 4 のソースは出力信号線 6 (この出力信号線 6 は図 1 の 6 - 1、6 - 2、・・・、6 - m に対応する) へ接続されている。尚、M O S トランジスタ T 1 ~ T 6 は、それぞれ、N チャンネルの M O S トランジスタでバックゲートが接地されている。

## 【 0 0 4 0 】

又、フォトダイオード P D のカソードには直流電圧 V P D が印加されるようになっている。一方、M O S トランジスタ T 2 のソースには信号  $\phi$  V P S が入力され、M O S トランジスタ T 3 のソースには他端に直流電圧 V P S が印加されるキャパシタ C 1 の一端が接続される。M O S トランジスタ T 6 のソースに直流電圧 V R B が印加され、そのゲートに信号  $\phi$  V R S が入力されるとともに、そのドレインに M O S トランジスタ T 2 のゲート及び M O S トランジスタ T 5 のソースが接続される。M O S トランジスタ T 3 のドレインには信号  $\phi$  D が入力される。

## 【 0 0 4 1 】

又、M O S トランジスタ T 5 のゲートに信号  $\phi$  S W が入力され、M O S トランジスタ T 1 のゲートに信号  $\phi$  S が入力される。更に、M O S トランジスタ T 4 のゲートには信号  $\phi$  V が入力される。尚、本実施形態においては、信号  $\phi$  V P S は 3 値的に変化するものとし、例えば直流電圧 V P D と略等しい電圧をハイレベル、例えばグラウンドをローレベルとし、M O S トランジスタ T 2 をサブスレッショルド領域で動作させるための電圧を両者の中間的な電圧である中間レベルとする。中間レベルでは、例えば、直流電圧 V P S と略等しい電圧とする。

## 【 0 0 4 2 】

( 1 ) 各画素への入射光を電気信号に変換する動作について

まず、信号  $\phi$  S 及び信号  $\phi$  S W をハイレベルとして M O S トランジスタ T 1、T 5 を導通させるとともに、M O S トランジスタ T 2 がサブスレッショルド領域で動作するように、信号  $\phi$  V P S を中間レベルとする。このとき、M O S トランジスタ T 6 のゲートには、ローレベルの信号  $\phi$  V R S が与えられて、M O S トランジスタ T 6 は O F F となり、実質的に存在しないことと等価になる。このとき、フォトダイオード P D に光が入射すると光電流が発生し、M O S トランジスタのサブスレッショルド特性により、前記光電流を自然対数的に変換した値の電圧が M

OSトランジスタT2, T3のゲートに発生する。この電圧により、MOSトランジスタT3に電流が流れ、キャパシタC1には前記光電流の積分値を自然対数的に変換した値と同等の電荷が蓄積される。つまり、キャパシタC1とMOSトランジスタT3のソースとの接続ノードaに、前記光電流の積分値を自然対数的に変換した値に比例した電圧が生じることになる。ただし、このとき、MOSトランジスタT4はOFFの状態であるとする。

## 【0043】

次に、MOSトランジスタT4のゲートにパルス信号 $\phi V$ を与えて、MOSトランジスタT4をONにすると、キャパシタC1に蓄積された電荷が、出力電流として出力信号線6に導出される。この出力信号線6に導出される電流は前記光電流の積分値を自然対数的に変換した値となる。このようにして入射光量の対数值に比例した信号（出力電流）を読み出すことができる。又、信号読み出し後、MOSトランジスタT4をOFFする。尚、このように入射光量に対してその出力電流を自然対数的に変換するとき、信号 $\phi VRS$ は、常にローレベルのままである。

## 【0044】

## (2) 各画素の感度のバラツキの検出方法について

以下に、図面を参照して、図2のような回路構成の画素の感度のバラツキ検出動作について説明する。図3は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。又、図4は、各画素のリセットを行う際のMOSトランジスタT2のポテンシャルの状態を示す図である。尚、図4(a)は、MOSトランジスタT2の構造を示した図で、図4(b), (c)はMOSトランジスタT2のポテンシャルの関係を示した図である。又、図4(b), (c)のポテンシャル図に示す矢印の方向は、ポテンシャルが高くなる方向を示す。

## 【0045】

ところで、MOSトランジスタT2は、例えば、図4(a)のように、P型の半導体基板（以下、「P型基板」という。）10にN型拡散層11, 12を形成し、且つ、そのN型拡散層11, 12間のチャンネル上に順次、酸化膜13とボ

リシリコン層 1 4 を形成することによって構成される。ここで、N型拡散層 1 1 , 1 2 が、それぞれMOSトランジスタT 2 のドレイン、ソースを形成するとともに、酸化膜 1 3 及びポリシリコン層 1 4 がそれぞれゲート絶縁膜とゲート電極を形成する。尚、ここで、P型基板 1 0 において、N型拡散層 1 1 , 1 2 の間の領域をゲート下領域ということにする。

## 【 0 0 4 6 】

(1) で説明したように、パルス信号  $\phi V$  がMOSトランジスタT 4 のゲートに与えられて出力信号が出力されると、まず、信号  $\phi S$  の電圧をローレベルにしてMOSトランジスタT 1 をOFFにするとともに、信号  $\phi SW$  の電圧をローレベルにしてMOSトランジスタT 5 をOFFにする。このようにして、MOSトランジスタT 2 とフォトダイオードPDとの接続、及びMOSトランジスタT 2 のゲートとMOSトランジスタT 3 のゲートとの接続を遮断する。そして、信号  $\phi VRS$  の電圧をハイレベルにしてMOSトランジスタT 6 をONにすることによって、MOSトランジスタT 2 のゲートに直流電圧  $V_{RB}$  を印加する。又、このとき、信号  $\phi D$  の電圧はハイレベル（直流電圧  $V_{PD}$  と同じ又は直流電圧  $V_{PD}$  に近い電位）である。

## 【 0 0 4 7 】

ここで信号  $\phi VPS$  の電圧をローレベルにすることによって、MOSトランジスタT 2 におけるポテンシャルの関係が、図 4 (b) のように、MOSトランジスタT 2 のドレイン、ゲート下領域、ソースにおけるポテンシャルがドレイン、ゲート下領域、ソースの順に高くなる。よって、MOSトランジスタT 2 のソースから負の電荷EがMOSトランジスタT 2 に流れ込む。このとき、フォトダイオードPDとの経路が遮断されているので正の電荷がMOSトランジスタT 2 のドレインに向かって流れることが無い。そのため、MOSトランジスタT 2 のドレイン・ソース間に負の電荷が蓄積される。

## 【 0 0 4 8 】

そして、次に、信号  $\phi VPS$  の電圧をハイレベル、即ち直流電圧  $V_{PD}$  と同じ又は直流電圧  $V_{PD}$  に近い電位にすることによって、図 4 (c) のように、MOSトランジスタT 2 のソースのポテンシャルをゲート下領域のポテンシャルよりも高く

する。よって、MOSトランジスタT2のドレイン・ソース間に蓄積された負の電荷が、信号線 $\phi$  VPSに流れ出す。しかしながら、MOSトランジスタT2のドレインのポテンシャルが、ゲート下領域のポテンシャルよりも高いので、MOSトランジスタT2のドレインに蓄積された負の電荷の一部E'がMOSトランジスタT2のドレインに残る。このMOSトランジスタT2のドレインに蓄積される負の電荷E'は、MOSトランジスタT2の閾値電圧によって定まり、この閾値電圧に比例した値になる。

【0049】

このとき、MOSトランジスタT2のドレイン電圧は該ドレインに蓄積された負の電荷E'に対応した電圧となり、このMOSトランジスタT2のドレイン電圧がMOSトランジスタT3のゲートに現れる。このMOSトランジスタT3のゲートに現れる電圧は、MOSトランジスタT2のドレインに蓄積された負の電荷E'に比例するので、MOSトランジスタT2の閾値電圧に比例することがわかる。MOSトランジスタT2、T3をこのような状態にすると、信号 $\phi$  Dをローレベルにして、一旦、キャパシタC1及び接続ノードaの電位をリセットした後、再び、信号 $\phi$  Dをハイレベルに戻す。

【0050】

そして、MOSトランジスタT3のゲート電圧によって、MOSトランジスタT3に電流が流れ、リセットされたキャパシタC1に電荷が蓄積されるとともに接続ノードaの電位が上昇する。次に、信号 $\phi$  VをハイレベルにしてMOSトランジスタT4をONすることによって、キャパシタC1に蓄積された電荷が出力電流として出力信号線6に導出される。このようにして画素毎に、そのMOSトランジスタT2の閾値電圧に比例した電流が出力信号線6に導出されて、各画素からの出力を補正するための補正データとして検出することができる。

【0051】

更にいえば、この閾値電圧に比例した電流は図1の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎の補正データとして記憶しておく。そして、実際の撮像時の出力電流を前記記憶されている補正データで画素毎に補正すれば、出力信号から画素のバラツキによる成分を取り除くことができ

る。尚、この補正方法の具体例は後述する図 5 3 に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。

#### 【0052】

さて、上述のように補正データを検出してMOSトランジスタT4をOFFした後、信号 $\phi$  VPSを中間レベルに戻してMOSトランジスタT2をリセットするとともに、信号 $\phi$  VRSをローレベルにしてMOSトランジスタT6をOFFにする。そして、信号 $\phi$  S及び信号 $\phi$  SWをハイレベルにして、MOSトランジスタT1、T5をONにした後、信号 $\phi$  DをローレベルにしてMOSトランジスタT3を通して信号 $\phi$  Dの信号線路へキャパシタC1に蓄積された電荷を放電することによって、キャパシタC1及び接続ノードaの電位が初期化される。こうして次の撮像が行える状態とする。

#### 【0053】

#### <第2の実施形態>

第2の実施形態について、図面を参照して説明する。図5は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図2に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

#### 【0054】

図5に示すように、MOSトランジスタT1～T5及びキャパシタC1は、第1の実施形態（図2）の画素と同様の構成で、このような構成の画素に、MOSトランジスタT6に代えてキャパシタC2を用いた回路構成となっている。即ち、キャパシタC2は、その一端がMOSトランジスタT2のゲートとMOSトランジスタT5のソースとの接続ノードに接続されるとともに、他端に信号 $\phi$  VRSが印加される。尚、信号 $\phi$  VRSは2値の電圧信号で、グラウンドレベルをローレベルとし、又、このローレベルより高い電圧をゲートに印加するための電圧をハイレベルとする。

#### 【0055】

(1) 各画素への入射光を電気信号に変換する動作について

図5のような回路構成の画素において、MOSトランジスタT2がサブスレッ

シヨルド領域で動作するように、キャパシタC 2に与える信号 $\phi$  VRSをローレベルとする。又、信号 $\phi$  S及び信号 $\phi$  SWをハイレベルにして、MOSトランジスタT 1, T 5をONにする。このように、信号 $\phi$  VRSをローレベルにすることによって、キャパシタC 2はMOSトランジスタT 2, T 3のゲート、バックゲートにおける絶縁酸化膜で形成されるキャパシタと同様の働きをする。このようにMOSトランジスタT 2をサブスレシヨルド領域で動作させることによって、フォトダイオードPDから流れる光電流を対数変換した電圧が接続ノードaに現れる。そして、MOSトランジスタT 4をONにすることによって、対数変換された出力信号を出力信号線6に出力する。

【0056】

(2) 各画素の感度のバラツキの検出方法について

又、各画素の感度のバラツキの検出する際の動作は、第1の実施形態と同様、図3に示すタイミングチャートに表されるリセット動作が行われる間に行われる。又、このときの動作について、図3のタイミングチャートと図4のポテンシャルの変遷図を参照して、以下に説明する。まず、パルス信号 $\phi$  Vが与えられた後、信号 $\phi$  S及び信号 $\phi$  SWをローレベルとしてMOSトランジスタT 1, T 5をOFFにすることで、リセット動作が始まる。そして、信号 $\phi$  VRSをハイレベルにすることによってMOSトランジスタT 2のゲート下領域のポテンシャルを上昇させて、更に、信号 $\phi$  VPSの電圧をローレベルにすることによって、MOSトランジスタT 2のポテンシャルを図4 (b)のような状態にして、負の電荷をソースからMOSトランジスタT 2に流入させる。

【0057】

このMOSトランジスタT 2に流入した負の電荷Eが、図4 (b)のように蓄積された後、信号 $\phi$  VPSをその値が直流電圧VPDに略等しいハイレベルにする。このとき、MOSトランジスタT 2のソースのポテンシャルがゲート下領域のポテンシャルより高くなるので、蓄積された負の電荷Eの一部がドレインより流出される。よって、図4 (c)のように、MOSトランジスタT 2のドレイン及びMOSトランジスタT 2のゲートに負の電荷E' が蓄積された状態となる。このように負の電荷E' が蓄積された状態にあるため、MOSトランジスタT 2のゲ



ート電圧が、MOSトランジスタT1の閾値電圧によって決定される負の電荷E'によって定まる。

【0058】

この状態を維持したまま、まず、信号 $\phi$ Dをローレベルにして、キャパシタC1を一旦リセットする。そして、信号 $\phi$ Dをもとのハイレベルに戻し、MOSトランジスタT3のゲート電圧によって増幅された電流をキャパシタC1に充電する。このようにキャパシタC1を充電することによって接続ノードaに表れる電圧を、パルス信号 $\phi$ Vを与えることで、出力信号としてMOSトランジスタT4を介して出力信号線6に出力する。

【0059】

更にいえば、この閾値電圧に比例した電流は図1の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎の補正データとして記憶しておく。そして、実際の撮像時の出力電流を前記記憶されている補正データで画素毎に補正すれば、出力信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図53に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。

【0060】

このように、各画素の感度のバラツキの原因であるMOSトランジスタT2の閾値電圧に比例した値となる信号を出力したのち、信号 $\phi$ VPSを中間レベルにしてMOSトランジスタT2をリセットする。その後、信号 $\phi$ VRSをローレベルにする。そして、信号 $\phi$ S及び信号 $\phi$ SWをハイレベルにしてMOSトランジスタT1、T5を導通させた後、信号 $\phi$ Dをローレベルにしたのちハイレベルにすることによって、キャパシタC1のリセットを行う。

【0061】

### <第3の実施形態>

第3の実施形態について、図面を参照して説明する。図6は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図5に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

## 【 0 0 6 2 】

図 6 に示すように、第 2 の実施形態（図 5）の画素から、MOS トランジスタ T 5 を削除した回路構成となっている。即ち、MOS トランジスタ T 2, T 3 のゲートが接続され、又、MOS トランジスタ T 2 のソースには直流電圧 VPS が印加される。

## 【 0 0 6 3 】

## （ 1 ） 各画素への入射光を電気信号に変換する動作について

このような構成の画素における撮像動作は、第 2 の実施形態（図 5）と同様の撮像動作を行う。即ち、信号  $\phi S$  をハイレベルとして MOS トランジスタ T 1 を導通させるとともに信号  $\phi VRS$  をローレベルとすることによって、MOS トランジスタ T 2 をサブスレッショルド領域で動作させる。このように MOS トランジスタ T 2 をサブスレッショルド領域で動作させることによって、フォトダイオード PD から流れる光電流を対数変換した電圧が接続ノード a に現れる。そして、MOS トランジスタ T 4 を ON にすることによって、対数変換された出力信号を出力信号線 6 に出力する。

## 【 0 0 6 4 】

## （ 2 ） 各画素のリセット動作について

以下に、図面を参照して、図 6 のような回路構成の画素のリセット動作について説明する。図 7 は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。又、図 8 は、各画素のリセットを行う際の MOS トランジスタ T 2 のポテンシャルの状態を示す図である。尚、図 8（a）～（d）において、矢印の方向がポテンシャルが高いことを表す。

## 【 0 0 6 5 】

（ 1 ）で説明したように、MOS トランジスタ T 4 のゲートにパルス信号  $\phi V$  を与えることによって、図 2 のような回路構成の各画素から入射光に対して対数変換された電気信号（出力信号）が出力信号線 6 に出力される。このように出力信号が出力されてパルス信号  $\phi V$  がローレベルになると、リセット動作が始まる。このリセット動作について、図 7 及び図 8 を参照して説明する。

## 【 0 0 6 6 】

まず、パルス信号  $\phi V$  が MOS トランジスタ T 4 のゲートに与えられて、出力信号が出力されると、信号  $\phi S$  をローレベルにして MOS トランジスタ T 1 を OFF にする。このとき、MOS トランジスタ T 2 のソース側より負の電荷が流れ込み、MOS トランジスタ T 2 のゲート及びドレイン、MOS トランジスタ T 3 のゲート、そしてキャパシタ C 2 に蓄積された正の電荷が再結合される。よって、図 8 ( a ) のように、ある程度まで、MOS トランジスタ T 2 のドレイン及びゲート下領域のポテンシャルが下がる。

## 【 0 0 6 7 】

このように、MOS トランジスタ T 2 のドレイン及びゲート下領域のポテンシャルが基の状態にリセットされようとするが、そのポテンシャルがある値になると、そのリセットされる速度が遅くなる。特に、明るい被写体が急に暗くなった場合にこの傾向が顕著となる。よって、次に、キャパシタ C 2 に与える電圧  $\phi V_{RS}$  を高くして、MOS トランジスタ T 2 のゲート電圧を高くする。このように、MOS トランジスタ T 2 のゲート電圧を高くすることによって、MOS トランジスタ T 2 のポテンシャルが図 8 ( b ) のように変化し、ゲート下領域及びドレインのポテンシャルが高くなる。よって、MOS トランジスタ T 2 のソースから流入する負の電荷の量が増加し、MOS トランジスタ T 2 のゲート及びドレイン、MOS トランジスタ T 3 のゲート、そしてキャパシタ C 2 に蓄積された正の電荷が速やかに再結合される。

## 【 0 0 6 8 】

よって、図 8 ( c ) のように、MOS トランジスタ T 2 のドレイン及びゲート下領域のポテンシャルが図 8 ( b ) の状態と比べて低くなる。図 8 ( c ) のように MOS トランジスタ T 2 のポテンシャルが変化すると、キャパシタ C 2 に印加する電圧  $\phi V_{RS}$  をローレベルにして、MOS トランジスタ T 2 のゲート電圧を低くする。よって、MOS トランジスタ T 2 のドレイン及びゲート下領域のポテンシャルが、図 8 ( d ) のようになつて、基の状態にリセットされる。このように、MOS トランジスタ T 2 のポテンシャルの状態を基の状態にリセットした後、信号  $\phi D$  の電圧をローレベルにして、キャパシタ C 1 を放電して、接続ノード a

の電位を基の状態にリセットする。そして、信号 $\phi D$ の電圧をハイレベルに戻す。

#### 【0069】

しかる後、パルス信号 $\phi V$ をMOSトランジスタT4に与えて、このリセット時の出力電流が出力信号線6に導出されて、各画素からの出力を補正するための補正データとして検出することができる。そして、再び、信号 $\phi D$ の電圧をローレベルにしてキャパシタC1を元の状態にリセットした後、信号 $\phi D$ の電圧をハイレベルに戻す。その後、信号 $\phi S$ をハイレベルにして、MOSトランジスタT1を導通させて撮像動作が行える状態にする。又、第1の実施形態と同様に、このリセット時に読み出した出力信号が、図1の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎の補正データとして記憶しておく。そして、実際の撮像時の出力電流を前記記憶されている補正データで画素毎に補正すれば、出力信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図53に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。

#### 【0070】

このように、本実施形態では、MOSトランジスタT2のゲートに接続されたキャパシタC2に与える信号 $\phi VRS$ をハイレベルにすることによって、MOSトランジスタT2のゲート電圧を速やかに初期化することができ、固体撮像装置の応答性を改善することができる。従って、暗い被写体の撮像する場合や、明るい被写体が急に暗くなった場合にも残像の発生を防止して良好な撮像が可能となる。又、信号 $\phi VRS$ を各画素に共通に与えることによって、各画素に設けられたMOSトランジスタT2のゲート電圧がほぼ一定値に初期化され、初期状態において、各画素の感度バラツキがキャンセルされた状態になる。

#### 【0071】

### <第4の実施形態>

第4の実施形態について、図面を参照して説明する。図9は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図6に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、

その詳細な説明は省略する。

#### 【 0 0 7 2 】

図 9 に示すように、第 3 の実施形態（図 6）の画素から、キャパシタ C 2 を削除した回路構成となっている。又、MOS トランジスタ T 2 のソースには信号  $\phi$  VPS が入力される。尚、信号  $\phi$  VPS は、2 値の電圧信号で、直流電圧 VPS と略等しい電圧で MOS トランジスタ T 2 をサブスレッショルド領域で動作させるための電圧をハイレベルとし、又、この電圧よりも低く MOS トランジスタ T 2 にハイレベルの電圧を与えたときよりも大きい電流が流れ得るようにする電圧をローレベルとする。

#### 【 0 0 7 3 】

##### （1）各画素への入射光を電気信号に変換する動作について

このような構成の画素における撮像動作は、第 3 の実施形態（図 6）と同様の撮像動作を行う。即ち、信号  $\phi$  S をハイレベルにして MOS トランジスタ T 1 を導通させるとともに、信号  $\phi$  VPS をハイレベルとすることによって、MOS トランジスタ T 2 をサブスレッショルド領域で動作させる。このように MOS トランジスタ T 2 をサブスレッショルド領域で動作させることによって、フォトダイオード PD から流れる光電流を対数変換した電圧が接続ノード a に現れる。そして、MOS トランジスタ T 4 を ON にすることによって、対数変換された出力信号を出力信号線 6 に出力する。

#### 【 0 0 7 4 】

##### （2）各画素のリセット動作について

以下に、図面を参照して、図 9 のような回路構成の画素のリセット動作について説明する。図 1 0 は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。又、図 1 1 は、各画素のリセットを行う際の MOS トランジスタ T 2 のポテンシャルの状態を示す図である。尚、図 1 1（a）～（d）において、矢印の方向がポテンシャルが高いことを表す。

#### 【 0 0 7 5 】

##### （1）で説明したように、MOS トランジスタ T 4 のゲートにパルス信号 $\phi$ V

を与えることによって、図 9 のような回路構成の各画素から入射光に対して対数変換された電気信号（出力信号）が出力信号線 6 に出力される。このように出力信号が出力されてパルス信号  $\phi V$  がローレベルになると、リセット動作が始まる。このリセット動作について、図 1 0 及び図 1 1 を参照して説明する。

## 【0 0 7 6】

まず、パルス信号  $\phi V$  がトランジスタ T 4 のゲートに与えられて、出力信号が出力されると、信号  $\phi S$  をローレベルにして MOS トランジスタ T 1 を OFF にする。このとき、MOS トランジスタ T 2 のソース側より負の電荷が流れ込み、MOS トランジスタ T 2 のゲート及びドレイン、そして MOS トランジスタ T 3 のゲートに蓄積された正の電荷が再結合される。よって、図 1 1 (a) のように、ある程度までリセットされて、MOS トランジスタ T 2 のドレイン及びゲート下領域のポテンシャルが下がる。

## 【0 0 7 7】

このように、MOS トランジスタ T 2 のドレイン及びゲート下領域のポテンシャルが基の状態にリセットされようとするが、そのポテンシャルがある値になると、そのリセットされる速度が遅くなる。特に、明るい被写体が急に暗くなった場合にこの傾向が顕著となる。よって、次に、MOS トランジスタ T 2 のソースに与える信号  $\phi VPS$  をローレベルにする。このように、MOS トランジスタ T 2 のソース電圧を低くすることによって、MOS トランジスタ T 2 のポテンシャルが図 1 1 (b) のように変化し、MOS トランジスタ T 2 のソースから流入する負の電荷の量が増加し、MOS トランジスタ T 2 のゲート及びドレイン、そして MOS トランジスタ T 3 のゲートに蓄積された正の電荷が速やかに再結合される。

## 【0 0 7 8】

よって、図 1 1 (c) のように、MOS トランジスタ T 2 のドレイン及びゲート下領域のポテンシャルが図 1 1 (b) の状態と比べて低くなる。図 1 1 (c) のように MOS トランジスタ T 2 のポテンシャルが変化すると、MOS トランジスタ T 2 のソースに与える信号  $\phi VPS$  をハイレベルにする。よって、MOS トランジスタ T 2 のポテンシャル状態が、図 1 1 (d) のようになって、基の状態に

リセットされる。このように、MOSトランジスタT2のポテンシャルの状態を基の状態にリセットした後、信号 $\phi D$ の電圧をローレベルにして、キャパシタC1を放電して、接続ノードaの電位を基の状態にリセットする。そして、信号 $\phi D$ の電圧をハイレベルに戻す。

【0079】

しかる後、パルス信号 $\phi V$ をMOSトランジスタT4に与えて、このリセット時の出力電流が出力信号線6に導出されて、各画素からの出力を補正するための補正データとして検出することができる。そして、再び、信号 $\phi D$ の電圧をローレベルにしてキャパシタC1を元の状態にリセットした後、信号 $\phi D$ の電圧をハイレベルに戻す。その後、信号 $\phi S$ をハイレベルにして、MOSトランジスタT1を導通させて撮像動作が行える状態にする。又、第1の実施形態と同様に、このリセット時に読み出した出力信号が、図1の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎の補正データとして記憶しておく。そして、実際の撮像時の出力電流を前記記憶されている補正データで画素毎に補正すれば、出力信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図53に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。

【0080】

このように、本実施形態では、MOSトランジスタT2のソースに与える信号 $\phi VPS$ をローレベルにすることによって、MOSトランジスタT2のゲート電圧を速やかに初期化することができ、固体撮像装置の応答性を改善することができる。従って、暗い被写体の撮像する場合や、明るい被写体が急に暗くなった場合にも残像の発生を防止して良好な撮像が可能となる。又、信号 $\phi VPS$ を各画素に共通に与えることによって、各画素に設けられたMOSトランジスタT2のゲート電圧がほぼ一定値に初期化され、初期状態において、各画素の感度バラツキがキャンセルされた状態になる。

【0081】

尚、第1～第4の実施形態において、各画素からの信号読み出しは電荷結合素子(CCD)を用いて行うようにしてもかまわない。この場合、図2、図5、図

6 及び図 9 の MOS トランジスタ T 4 に相当するポテンシャルレベルを可変としたポテンシャルの障壁を設けることにより、CCD への電荷読み出しを行えばよい。

#### 【0082】

#### ＜画素構成の第 2 例＞

図 1 2 は本発明の他の実施形態である二次元の MOS 型固体撮像装置の一部の構成を概略的に示している。同図において、 $G_{11} \sim G_{mn}$  は行列配置（マトリクス配置）された画素を示している。2 は垂直走査回路であり、行（ライン）4-1、4-2、 $\dots$ 、4-n を順次走査していく。3 は水平走査回路であり、画素から出力信号線 6-1、6-2、 $\dots$ 、6-m に導出された光電変換信号を画素ごとに水平方向に順次読み出す。5 は電源ラインである。各画素に対し、上記ライン 4-1、4-2 $\dots$ 、4-n や出力信号線 6-1、6-2 $\dots$ 、6-m、電源ライン 5 だけでなく、他のライン（例えば、クロックラインやバイアス供給ライン等）も接続されるが、図 1 2 ではこれらについて省略する。

#### 【0083】

出力信号線 6-1、6-2、 $\dots$ 、6-m ごとに N チャネルの MOS トランジスタ Q 1、Q 2 が図示の如く 1 組ずつ設けられている。MOS トランジスタ Q 1 のゲートは直流電圧線 7 に接続され、ドレインは出力信号線 6-1 に接続され、ソースは直流電圧  $V_{PS}'$  のライン 8 に接続されている。一方、MOS トランジスタ Q 2 のドレインは出力信号線 6-1 に接続され、ソースは最終的な信号線 9 に接続され、ゲートは水平走査回路 3 に接続されている。

#### 【0084】

画素  $G_{11} \sim G_{mn}$  には、後述するように、それらの画素で発生した光電荷に基づく信号を出力する N チャネルの MOS トランジスタ T a が設けられている。MOS トランジスタ T a と上記 MOS トランジスタ Q 1 との接続関係は図 1 3 (a) のようになる。この MOS トランジスタ T a は、第 5、第 6、第 1 1、第 1 2 の実施形態では、第 7 MOS トランジスタ T 7 に、第 7～第 1 0、第 1 3 の実施形態では、第 3 MOS トランジスタ T 3 に相当する。ここで、MOS トランジスタ Q 1 のソースに接続される直流電圧  $V_{PS}'$  と、MOS トランジスタ T a のドレ



インに接続される直流電圧  $V_{PD}'$  との関係は  $V_{PD}' > V_{PS}'$  であり、直流電圧  $V_{PS}'$  は例えばグランド電圧（接地）である。この回路構成は上段の MOS トランジスタ  $T_a$  のゲートに信号が入力され、下段の MOS トランジスタ  $Q_1$  のゲートには直流電圧  $DC$  が常時印加される。このため下段の MOS トランジスタ  $Q_1$  は抵抗又は定電流源と等価であり、図 13 (a) の回路はソースフォロワ型の増幅回路となっている。この場合、MOS トランジスタ  $T_a$  から増幅出力されるのは電流であると考えてよい。

## 【0085】

MOS トランジスタ  $Q_2$  は水平走査回路 3 によって制御され、スイッチ素子として動作する。尚、後述するように図 14 以降の各実施形態の画素内にはスイッチ用の N チャネルの第 4 MOS トランジスタ  $T_4$  も設けられている。この MOS トランジスタ  $T_4$  も含めて表わすと、図 13 (a) の回路は正確には図 13 (b) のようになる。即ち、MOS トランジスタ  $T_4$  が MOS トランジスタ  $Q_1$  と MOS トランジスタ  $T_a$  との間に挿入されている。ここで、MOS トランジスタ  $T_4$  は行の選択を行うものであり、MOS トランジスタ  $Q_2$  は列の選択を行うものである。尚、図 12 および図 13 に示す構成は以下に説明する第 5 の実施形態～第 13 の実施形態に共通の構成である。

## 【0086】

図 13 のように構成することにより信号を大きく出力することができる。従って、画素がダイナミックレンジ拡大のために感光素子から発生する光電流を自然対数的に変換しているような場合は、そのままでは出力信号が小さいが、本増幅回路により充分大きな信号に増幅されるため、後続の信号処理回路（図示せず）での処理が容易になる。また、増幅回路の負荷抵抗部分を構成する MOS トランジスタ  $Q_1$  を画素内に設けずに、列方向に配置された複数の画素が接続される出力信号線 6-1、6-2、・・・、6-m ごとに設けることにより、負荷抵抗又は定電流源の数を低減でき、半導体チップ上で増幅回路が占める面積を少なくできる。

## 【0087】

## ＜第 5 の実施形態＞

図 1 2 に示した画素構成の第 2 例の各画素に適用される第 5 の実施形態について、図面を参照して説明する。図 1 4 は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図 2 に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

## 【 0 0 8 8 】

図 1 4 に示すように、本実施形態では、図 2 に示す画素に、接続ノード a にゲートが接続され接続ノード a の電圧に応じた電流増幅を行う第 7 MOS トランジスタ T 7 と、この MOS トランジスタ T 7 のソースにドレインが接続された行選択用の第 4 MOS トランジスタ T 4 と、接続ノード a にドレインが接続されキャパシタ C 1 及び接続ノード a の電位の初期化を行う第 8 MOS トランジスタ T 8 とが付加された構成となる。MOS トランジスタ T 4 のソースは出力信号線 6 (この出力信号線 6 は図 1 2 の 6 - 1、6 - 2、 $\dots$ 、6 - m に対応する) へ接続されている。尚、MOS トランジスタ T 7、T 8 も、MOS トランジスタ T 1 ~ T 6 と同様に、N チャネルの MOS トランジスタでバックゲートが接地されている。

## 【 0 0 8 9 】

又、MOS トランジスタ T 7 のドレインには直流電圧 VPD が印加され、MOS トランジスタ T 4 のゲートには信号  $\phi$  V が入力される。又、MOS トランジスタ T 8 のソースには直流電圧 VRB2 が印加されるとともに、そのゲートには信号  $\phi$  VRS2 が入力される。更に、MOS トランジスタ T 3 のドレインには直流電圧 VPD が印加される。尚、本実施形態において、MOS トランジスタ T 1 ~ T 6 及びキャパシタ C 1 は、第 1 の実施形態 (図 2) と同様の動作を行い、各画素の感度のバラツキ検出動作及び撮像動作を行うことができる。以下にその動作を説明する。

## 【 0 0 9 0 】

(1) 各画素への入射光を電気信号に変換する動作について

まず、信号  $\phi$  S 及び信号  $\phi$  SW をハイレベルとして MOS トランジスタ T 1、T 5 を導通させるとともに信号  $\phi$  VPS を中間レベルとし、MOS トランジスタ T

2, T3がサブスレッショルド領域で動作するようにバイアスされているときの動作について、説明する。このとき、MOSトランジスタT6のゲートには、第1の実施形態と同様にローレベルの信号 $\phi$ VRSが与えられるので、MOSトランジスタT6はOFFとなり、実質的に存在しないことと等価になる。

【0091】

フォトダイオードPDに光が入射すると光電流が発生し、MOSトランジスタのサブスレッショルド特性により、前記光電流を自然対数的に変換した値の電圧がMOSトランジスタT2, T3のゲートに発生する。この電圧により、MOSトランジスタT3に電流が流れ、キャパシタC1には前記光電流の積分値を自然対数的に変換した値と同等の電荷が蓄積される。つまり、キャパシタC1とMOSトランジスタT3のソースとの接続ノードaに、前記光電流の積分値を自然対数的に変換した値に比例した電圧が生じることになる。ただし、このとき、MOSトランジスタT4, T8はOFF状態である。

【0092】

次に、MOSトランジスタT4のゲートにパルス信号 $\phi$ Vを与えて、MOSトランジスタT4をONにすると、MOSトランジスタT7のゲートにかかる電圧に比例した電流がMOSトランジスタT4, T7を通して出力信号線6に導出される。今、MOSトランジスタT4のゲートにかかる電圧は、接続ノードaにかかる電圧であるので、出力信号線6に導出される電流は前記光電流の積分値を自然対数的に変換した値となる。このようにして入射光量の対数値に比例した信号（出力電流）を読み出すことができる。

【0093】

(2) 各画素の感度のバラツキの検出方法について

以下に、図面を参照して、図14のような回路構成の画素の感度のバラツキ検出動作について説明する。図15は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。

【0094】

(1) で説明したように、パルス信号 $\phi$ VがMOSトランジスタT4のゲートに与えられて出力信号が出力されると、まず、信号 $\phi$ Sの電圧をローレベルにし

てMOSトランジスタT1をOFFにするとともに、信号 $\phi$ SWの電圧をローレベルにしてMOSトランジスタT5をOFFにする。このようにして、MOSトランジスタT2とフォトダイオードPDとの接続、及びMOSトランジスタT2のゲートとMOSトランジスタT3のゲートとの接続を遮断する。そして、信号 $\phi$ VRSの電圧をハイレベルにしてMOSトランジスタT6をONにすることによって、MOSトランジスタT2のゲートに直流電圧VRBを印加する。ここで信号 $\phi$ VPSの電圧をローレベルにすることによって、MOSトランジスタT2のソースから負の電荷がMOSトランジスタT2に流れ込み、MOSトランジスタT2のドレイン・ソース間に負の電荷が蓄積される。

【0095】

次に、信号 $\phi$ VPSの電圧をハイレベル、即ち直流電圧VPDと同じ又は直流電圧VPDに近い電位にすることによって、MOSトランジスタT2のドレイン・ソース間に蓄積された負の電荷の一部を、信号線 $\phi$ VPSに流出する。しかしながら、MOSトランジスタT2のドレインのポテンシャルが、ゲート下領域のポテンシャルよりも高いので、MOSトランジスタT2のドレインに蓄積された負の電荷の一部がMOSトランジスタT2のドレインに残る。このMOSトランジスタT2のドレインに蓄積される負の電荷は、MOSトランジスタT2の閾値電圧によって定まり、この閾値電圧に比例した値になる。

【0096】

このとき、MOSトランジスタT2のドレイン電圧は該ドレインに蓄積された負の電荷に対応した電圧となり、このMOSトランジスタT2のドレイン電圧がMOSトランジスタT3のゲートに現れる。このMOSトランジスタT3のゲートに現れる電圧は、MOSトランジスタT2のドレインに蓄積された負の電荷に比例するので、MOSトランジスタT2の閾値電圧に比例することがわかる。MOSトランジスタT2、T3をこのような状態にすると、信号 $\phi$ VRS2をハイレベルにして、一旦、キャパシタC1及び接続ノードaの電位をリセットした後、再び、信号 $\phi$ VRS2をローレベルに戻す。

【0097】

そして、MOSトランジスタT3のゲート電圧によって、MOSトランジスタ

T 3 に電流が流れ、リセットされたキャパシタ C 1 に電荷が蓄積されるとともに接続ノード a の電位が上昇する。次に、信号  $\phi V$  をハイレベルにして MOS トランジスタ T 4 を ON することによって、接続ノード a の電圧が MOS トランジスタ T 7 で電流増幅されて出力信号線 6 に導出される。このようにして画素毎に、その MOS トランジスタ T 2 の閾値電圧に比例した電流が出力信号線 6 に導出されて、各画素からの出力を補正するための補正データとして検出することができる。

【 0 0 9 8 】

さて、上述のように補正データを検出して MOS トランジスタ T 4 を OFF した後、信号  $\phi VPS$  を中間レベルにして MOS トランジスタ T 2 をリセットするとともに、信号  $\phi VRS$  をローレベルに戻して MOS トランジスタ T 6 を OFF にする。そして、信号  $\phi S$  及び信号  $\phi SW$  をハイレベルにして、MOS トランジスタ T 1, T 5 を ON にした後、信号  $\phi VRS2$  をハイレベルにして MOS トランジスタ T 8 を通してキャパシタ C 1 に蓄積された電荷を放電することによって、キャパシタ C 1 及び接続ノード a の電位が初期化される。このようにして次の撮像が行える状態にする。

【 0 0 9 9 】

#### < 第 6 の実施形態 >

第 6 の実施形態について、図面を参照して説明する。図 1 6 は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図 1 4 に示す画素と同様の目的で使用する素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【 0 1 0 0 】

図 1 6 に示すように、本実施形態では、MOS トランジスタ T 3 のドレインに信号  $\phi D$  を与えることによってキャパシタ C 1 及び接続ノード a の電位を初期化するようにし、それによって MOS トランジスタ T 8 を削除した構成となっている。その他の構成は第 5 の実施形態（図 1 4）と同一である。尚、信号  $\phi D$  のハイレベル期間では、第 1 の実施形態（図 2）と同様にキャパシタ C 1 で積分が行われ、ローレベル期間では、キャパシタ C 1 の電荷が MOS トランジスタ T 3 を

通して放電され、キャパシタC1の電圧及びMOSトランジスタT7のゲートは略信号 $\phi$ Dのローレベル電圧になる（リセット）。本実施形態では、MOSトランジスタT8を省略できる分、構成がシンプルになる。

#### 【0101】

この実施形態において、撮像動作をさせるときは、第5の実施形態と同様に、MOSトランジスタT1、T5をONにするとともに信号 $\phi$ VRSをローレベルにしてMOSトランジスタT6をOFFにすることによって、MOSトランジスタT2がサブスレッショルド状態で動作するようにする。又、信号 $\phi$ Dをハイレベルにして、光電流の積分値を自然対数的に変換した値と同等の電荷をキャパシタC1に蓄積する。そして、所定のタイミングでMOSトランジスタT4をONにして、MOSトランジスタT7のゲートにかかる電圧に比例した電流をMOSトランジスタT4、T7を通して出力信号線6に導出する。

#### 【0102】

又、各画素をリセットするときは、第1の実施形態と同様、図3のタイミングで信号を制御する。即ち、まず、第1の実施形態と同様に、パルス信号 $\phi$ Vが与えられた後、信号 $\phi$ S及び信号 $\phi$ SWをローレベルにしてMOSトランジスタT1、T5をOFFにして、リセット動作が始まる。次に、信号 $\phi$ VRSをハイレベルにして、MOSトランジスタT2のゲートに直流電圧VRBを印加する。そして、信号 $\phi$ VPSを一旦ローレベルにした後、信号 $\phi$ VPSをハイレベルにして、MOSトランジスタT2のドレインに負の電荷が蓄積される。この負の電荷量は、MOSトランジスタT2の閾値電圧によって決まる。

#### 【0103】

このとき、一旦、信号 $\phi$ DをローレベルにしてキャパシタC1及び接続ノードaをリセットする。そして、キャパシタC1には、MOSトランジスタT2の閾値電圧に比例した電流がMOSトランジスタT3を通じて流入して、接続ノードaに現れる電圧がこの閾値電圧に比例した電圧になる。パルス信号 $\phi$ VをMOSトランジスタT4のゲートに与えて、接続ノードaに現れる電圧をMOSトランジスタT7で電流増幅した出力信号が出力される。このようにして画素毎に、そのMOSトランジスタT2の閾値電圧に比例した電流が出力信号線6に導出され

て、各画素からの出力を補正するための補正データとして検出することができる。

#### 【0104】

このように補正データを検出してMOSトランジスタT4をOFFした後、信号 $\phi$  VPSを中間レベルにしてMOSトランジスタT2をリセットした後に、信号 $\phi$  VRSをローレベルにしてMOSトランジスタT6をOFFにする。そして、信号 $\phi$  S及び信号 $\phi$  SWをハイレベルにして、MOSトランジスタT1, T5をONにした後、信号 $\phi$  DをローレベルにしてMOSトランジスタT3を通してキャパシタC1に蓄積された電荷を放電することによって、キャパシタC1及び接続ノードaの電位が初期化される。

#### 【0105】

#### <第7の実施形態>

第7の実施形態について、図面を参照して説明する。図17は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図16に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

#### 【0106】

図17に示すように、本実施形態では、MOSトランジスタT3のドレインに直流電圧VPDが印加されるとともに、キャパシタC1及びMOSトランジスタT7を削除した構成となっている。即ち、MOSトランジスタT3のソースにMOSトランジスタT4のドレインが接続される。その他の構成は第6の実施形態（図16）と同一である。

#### 【0107】

このような構成の回路において、撮像動作をさせるときは、第6の実施形態と同様に、MOSトランジスタT1, T5をONにするとともに信号 $\phi$  VRSをローレベルにしてMOSトランジスタT6をOFFにして、MOSトランジスタT2がサブスレッショルド状態で動作するようにする。このようにMOSトランジスタT2を動作させることによって、前記光電流に対して自然対数的に比例した値のドレイン電流がMOSトランジスタT3を流れる。

## 【0108】

そして、MOSトランジスタT4のゲートにパルス信号 $\phi V$ を与えてONとすると、前記光電流に対して自然対数的に比例した値のドレイン電流が、MOSトランジスタT4を通して出力信号線6に導出される。このとき、MOSトランジスタT3及びMOSトランジスタQ1（図13）の導通時抵抗とそれらを流れる電流によって決まるMOSトランジスタQ1のドレイン電圧が、信号として出力信号線6に現れる。このようにして信号が読み出された後、MOSトランジスタT4をOFFにする。

## 【0109】

又、各画素をリセットする際には、図18のタイミングチャートのように動作させる。まず、パルス信号 $\phi V$ が与えられた後、信号 $\phi S$ 及び信号 $\phi SW$ をローレベルにしてMOSトランジスタT1、T5をOFFにして、リセット動作が始まる。次に、信号 $\phi VRS$ をハイレベルにして、MOSトランジスタT2のゲートに直流電圧VRBを印加する。そして、信号 $\phi VPS$ を一旦ローレベルにした後、信号 $\phi VPS$ をハイレベルにして、MOSトランジスタT2のドレインに負の電荷が蓄積される。この負の電荷量は、MOSトランジスタT2の閾値電圧によって決まる。

## 【0110】

このとき、パルス信号 $\phi V$ をMOSトランジスタT4のゲートに与えて、画素毎に、そのMOSトランジスタT2の閾値電圧に比例した電流が出力信号線6に導出されて、各画素からの出力を補正するための補正データとして検出することができる。このように補正データを検出してMOSトランジスタT4をOFFした後、信号 $\phi VPS$ を中間レベルにしてMOSトランジスタT2をリセットした後に、信号 $\phi VRS$ をローレベルにしてMOSトランジスタT6をOFFにする。しかる後、信号 $\phi S$ 及び信号 $\phi SW$ をハイレベルにして、MOSトランジスタT1、T5をONにして、撮像動作を行うための構成にする。

## 【0111】

尚、本実施形態では上記第6の実施形態のように、光信号をキャパシタC1で一旦積分するというを行わないので、積分時間が不要となり、又、キャパシ



タC1のリセットも不要であるので、その分信号処理の高速化が図れる。又、本実施形態では、第6の実施形態に比し、キャパシタC1及びMOSトランジスタT7を省略できる分、構成が更にシンプルになり画素サイズを小さくすることができる。

#### 【0112】

#### ＜第8の実施形態＞

第8の実施形態について、図面を参照して説明する。図19は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図5及び図17に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

#### 【0113】

図19に示すように、本実施形態では、第7の実施形態（図17）に示す画素に、MOSトランジスタT6に代えてキャパシタC2を用いた回路構成となっている。即ち、キャパシタC2は、その一端がMOSトランジスタT2のゲートとMOSトランジスタT5のソースとの接続ノードに接続されるとともに、他端に信号 $\phi$ VRSが印加される。尚、第2の実施形態（図5）と同様に、信号 $\phi$ VRSは2値の電圧信号で、グランドレベルをローレベルとし、又、このローレベルより高い電圧をハイレベルとする。

#### 【0114】

このように、本実施形態の構成と第2の実施形態の構成との関係は、第7の実施形態の構成と第1の実施形態（図2）の構成との関係とに対応する。よって、第2の実施形態と同様に、キャパシタC2に与える信号 $\phi$ VRSをローレベルとするともに、MOSトランジスタT1、T5をONにすることによって、MOSトランジスタT2をサブスレッショルド領域で動作させる。よって、フォトダイオードPDから流れる光電流を対数変換した電圧が接続ノードaに現れる。そして、MOSトランジスタT4をONにすることによって、対数変換された出力信号を出力する。又、リセット動作は、第7の実施形態と同様、図18のタイミングチャートで示すタイミングで各信号の値を変化させることによって、各画素の感度のバラツキを補正データとして検出することができる。

## 【0 1 1 5】

尚、第 5 ～ 第 8 の実施形態の回路構成をした画素によると、各画素が撮像動作を行ったのち、各画素の感度のバラツキの原因となる MOS トランジスタの閾値電圧に比例した信号を各画素からの出力を補正するための補正データとして検出することができる。更にいえば、予め、後続回路においてメモリに、撮像時に出力された画像データを画素毎に記憶するとともに、各画素内の MOS トランジスタの閾値電圧に比例した電流を図 1 2 の信号線 9 から画素毎にシリアルに出力して、後続回路における別のメモリに画素毎の補正データとして記憶しておく。そして、この画像データを補正データで画素毎に補正すれば、出力信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図 5 3 に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。

## 【0 1 1 6】

## ＜第 9 の実施形態＞

第 9 の実施形態について、図面を参照して説明する。図 2 0 は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図 6 及び図 1 9 に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

## 【0 1 1 7】

図 2 0 に示すように、第 8 の実施形態（図 1 9）の画素から、MOS トランジスタ T 5 を削除した回路構成となっている。即ち、MOS トランジスタ T 2、T 3 のゲートが接続され、又、MOS トランジスタ T 2 のソースには直流電圧 VPS が印加される。

## 【0 1 1 8】

このように、本実施形態の構成と第 3 の実施形態（図 6）の構成との関係は、第 8 の実施形態の構成と第 2 の実施形態（図 5）の構成との関係に対応する。よって、第 3 の実施形態と同様に、キャパシタ C 2 に与える信号  $\phi$  VRS をローレベルとするとともに、MOS トランジスタ T 1 を ON にすることによって、MOS トランジスタ T 2 をサブスレッショルド領域で動作させる。よって、フォトダイオ

ードPDから流れる光電流を対数変換した電圧が接続ノードaに現れる。そして、MOSトランジスタT4をONにすることによって、対数変換された出力信号を出力する。

【0119】

又、各画素をリセットする際には、図21のタイミングチャートのように動作させる。まず、パルス信号 $\phi V$ が与えられた後、信号 $\phi S$ をローレベルにしてMOSトランジスタT1をOFFにして、リセット動作が始まる。次に、信号 $\phi VRS$ をハイレベルにして、MOSトランジスタT2のゲート電圧を高くすることによって、MOSトランジスタT2のソースから流入する電荷の量を増加させる。

【0120】

このようにして、MOSトランジスタT2のゲート及びドレイン、MOSトランジスタT3のゲート、そしてキャパシタC2に蓄積された正の電荷が速やかに再結合される。そして、信号 $\phi VRS$ をローレベルにしてMOSトランジスタT2のポテンシャルを基の初期状態にリセットする。このとき、パルス信号 $\phi V$ をMOSトランジスタT4のゲートに与えて、画素毎に、このリセット時の出力電圧が出力信号線6に導出されて、各画素からの出力を補正するための補正データとして検出することができる。このように補正データを検出してMOSトランジスタT4をOFFした後、信号 $\phi S$ をハイレベルにして、MOSトランジスタT1をONにして、次の撮像動作に備える。

【0121】

#### <第10の実施形態>

第10の実施形態について、図面を参照して説明する。図22は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図9及び図20に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0122】

図22に示すように、第9の実施形態(図20)の画素から、キャパシタC2を削除した回路構成となっている。又、MOSトランジスタT2のソースには信号 $\phi VPS$ が入力される。尚、信号 $\phi VPS$ は、第4の実施形態(図9)と同様に、

2 値の電圧信号で、直流電圧  $V_{PS}$  と略等しい電圧で MOS トランジスタ  $T_2$  をサブスレッシュOLD 領域で動作させるための電圧をハイレベルとし、又、この電圧よりも低く MOS トランジスタ  $T_2$  にハイレベルの電圧を与えたときよりも大きい電流が流れ得るようにする電圧をローレベルとする。

## 【0 1 2 3】

このように、本実施形態の構成と第 4 の実施形態の構成との関係は、第 9 の実施形態の構成と第 3 の実施形態（図 6）の構成との関係に対応する。よって、第 4 の実施形態と同様に、MOS トランジスタ  $T_2$  のソースに与える信号  $\phi V_{PS}$  をハイレベルとするともに、MOS トランジスタ  $T_1$  を ON にすることによって、MOS トランジスタ  $T_2$  をサブスレッシュOLD 領域で動作させる。よって、フォトダイオード PD から流れる光電流を対数変換した電圧が接続ノード a に現れる。そして、MOS トランジスタ  $T_4$  を ON にすることによって、対数変換された出力信号を出力する。

## 【0 1 2 4】

又、各画素をリセットする際には、図 2 3 のタイミングチャートのように動作させる。まず、パルス信号  $\phi V$  が与えられた後、信号  $\phi S$  をローレベルにして MOS トランジスタ  $T_1$  を OFF にして、リセット動作が始まる。次に、信号  $\phi V_{PS}$  をローレベルにして、MOS トランジスタ  $T_2$  のソース電圧を低くすることによって、MOS トランジスタ  $T_2$  のソースから流入する電荷の量を増加させる。

## 【0 1 2 5】

このようにして、MOS トランジスタ  $T_2$  のゲート及びドレイン、そして MOS トランジスタ  $T_3$  のゲートに蓄積された正の電荷が速やかに再結合される。そして、信号  $\phi V_{PS}$  をハイレベルにして MOS トランジスタ  $T_2$  のポテンシャルを基の初期状態にリセットする。このとき、パルス信号  $\phi V$  を MOS トランジスタ  $T_4$  のゲートに与えて、画素毎に、このリセット時の出力電圧が出力信号線 6 に導出されて、各画素からの出力を補正するための補正データとして検出することができる。このように補正データを検出して MOS トランジスタ  $T_4$  を OFF した後、信号  $\phi S$  をハイレベルにして、MOS トランジスタ  $T_1$  を ON にして、次の撮像動作に備える。

## 【0 1 2 6】

尚、第 9、第 10 の実施形態において、第 5 ～ 第 8 の実施形態と同様に、このリセット時に読み出した出力信号が、図 12 の信号線 9 から画素毎にシリアルに出力され、後続回路においてメモリに画素毎の補正データとして記憶しておく。そして、実際の撮像時の出力電流を前記記憶されている補正データで画素毎に補正すれば、出力信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図 53 に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。

## 【0 1 2 7】

又、第 8 ～ 第 10 の実施形態（図 19、図 20、図 22）において、第 5 の実施形態（図 14）のように、MOS トランジスタ T3 のソースに他端に直流電圧 VPS が印加されたキャパシタ C1 や MOS トランジスタ T7 のゲート、そして、キャパシタ C1 をリセットするための MOS トランジスタ T8 のドレインを接続するとともに、MOS トランジスタ T7 のソースを MOS トランジスタ T4 のドレインに接続するような構成にしても良い。又、第 6 の実施形態（図 16）のように、MOS トランジスタ T3 のドレインに信号  $\phi D$  を与えるようにして、上述した第 5 の実施形態（図 14）のような構成から MOS トランジスタ T8 を削除した構成にしても良い。

## 【0 1 2 8】

<ディプレッション型 MOS トランジスタを組み合わせた構成の画素>

又、第 1 ～ 第 10 の実施形態（図 2、図 5、図 6、図 9、図 14、図 16、図 17、図 19、図 20、図 22）において、第 1 MOS トランジスタ T1 をディプレッション型の N チャネルの MOS トランジスタとしても構わない。この画素の構成を、第 7 ～ 10 の実施形態（図 17、図 19、図 20、図 22）の画素を例にして、図 24 ～ 図 27 に示す。図 24 ～ 図 27 に示すように、MOS トランジスタ T1 以外の MOS トランジスタ T2 ～ T6 は、エンハンスメント型の N チャネルの MOS トランジスタである。

## 【0 1 2 9】

図 17、図 19、図 20、図 22 の構成の画素のように、画素内に設けられた M

OSトランジスタを全てエンハンスメント型のMOSトランジスタで構成したとき、MOSトランジスタT1, T2が直列に接続されるため、MOSトランジスタT1のゲートに与える信号 $\phi$ Sのハイレベルの電圧が、通常は、この画素に供給する電圧よりも高くなる。そのため、通常はMOSトランジスタT1に信号 $\phi$ Sを与えるための別の電源を設ける必要がある。

#### 【0130】

それに対して、上述したように、このMOSトランジスタT1をディプレッション型のMOSトランジスタとすることによって、そのゲートに与える信号 $\phi$ Sのハイレベルの電圧を低くすることができ、他のMOSトランジスタに与えるハイレベルの信号と同じ電圧にすることが可能になる。これは、ディプレッション型のMOSトランジスタの閾値が負の値となるため、エンハンスメント型のMOSトランジスタと比べて、低いゲート電圧でONすることができるからである。

#### 【0131】

<PチャネルMOSトランジスタを組み合わせた構成の画素>

更に、第1～第10の実施形態において、第1MOSトランジスタT1をPチャネルのMOSトランジスタとしても構わない。この画素の構成を、第7～第10の実施形態の画素を例にして、図28～図31に示す。図28～図31に示すように、MOSトランジスタT1以外のMOSトランジスタT2～T6は、NチャネルのMOSトランジスタである。又、MOSトランジスタT1のソースがフォトダイオードPDのアノードと接続されるとともに、ドレインがMOSトランジスタT2のドレインに接続される。

#### 【0132】

このような構成にしたとき、MOSトランジスタT1は、ゲート・ドレイン間の電圧差が閾値より大きければONとなり、又、ゲート・ドレイン間の電圧差が閾値より小さければOFFとなる。よって、MOSトランジスタT1のゲートに与える信号 $\phi$ Sが、第1～第10の実施形態の信号 $\phi$ Sとそのタイミングが逆転するとともに、MOSトランジスタT1のドレインに直列に接続されたMOSトランジスタT2の影響を受けることなく、ON/OFF動作を行うことができる。

## 【0133】

又、MOSトランジスタT1のON/OFF動作が、MOSトランジスタT2の影響を受けることがないので、信号 $\phi S$ を供給するための別の電源を設ける必要が無くなる。更に、このようにすることによって、MOSトランジスタT1を、他のMOSトランジスタと同様にエンハンスメント型のMOSトランジスタとすることができるので、他のMOSトランジスタと同一の工程でMOSトランジスタT1を生成することが可能である。よって、上述したように、第1MOSトランジスタT1のみをディプレッション型のMOSトランジスタとするときと比べて、その生産工程が簡素化される。

## 【0134】

## ＜第11の実施形態＞

第11の実施形態について、図面を参照して説明する。図55は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図14に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

## 【0135】

図55に示すように、本実施形態では、画素の出力側を構成するMOSトランジスタT3、T4、T7、T8及びキャパシタC1が、図14の画素と同様の構成をしている。このような図55の画素において、フォトダイオードPDのアノードに直流電圧VPSが印加され、MOSトランジスタT2のドレインに信号 $\phi V_{PD}$ が与えられるとともにそのソースがMOSトランジスタT3のゲートに接続される。又、MOSトランジスタT2のソースにドレインが接続されるとともにフォトダイオードPDのカソードにソースが接続された第1MOSトランジスタT1が設けられる。更に、MOSトランジスタT2のゲートには信号 $\phi V_{PG}$ が与えられ、MOSトランジスタT1のゲートには信号 $\phi S$ が与えられる。

## 【0136】

(1) 光電流を自然対数的に変換して出力する場合。

このとき、MOSトランジスタT2をサブスレッショルド領域で動作させるための電圧を第1電圧とし、MOSトランジスタT2の閾値のバラツキを検出する

ために、直流電圧 VPS に略等しい値となる電圧を第 2 電圧とする。

【0 1 3 7】

(1 - a) 撮像動作

信号  $\phi$  VPD を第 1 電圧として、MOS トランジスタ T 2 をサブスレッショルド領域で動作させるとともに、MOS トランジスタ T 1 のゲートに与えられる信号  $\phi$  S をハイレベルにし、MOS トランジスタ T 1 を ON の状態にする。このとき、フォトダイオード PD に光が入射すると光電流が発生し、MOS トランジスタのサブスレッショルド特性により、光電流を自然対数的に変換した値の電圧が MOS トランジスタ T 2 のソース及び MOS トランジスタ T 3 のゲートに発生する。尚、このとき、フォトダイオード PD で発生した負の光電荷が MOS トランジスタ T 2 のソースに流れ込むため、強い光が入射されるほど MOS トランジスタ T 2 のソース電圧が低くなる。

【0 1 3 8】

このようにして光電流に対して自然対数的に変化した電圧が MOS トランジスタ T 3 のゲートに現れると、まず、MOS トランジスタ T 8 のゲートにハイレベルの信号  $\phi$  VRS2 を与えて MOS トランジスタ T 8 を ON にして、キャパシタ C 1 及び接続ノード a の電圧をリセットする。このとき、接続ノード a の電圧を MOS トランジスタ T 3 が動作できるように MOS トランジスタ T 3 のゲート電圧により決定される表面ポテンシャルより低い電圧になるようにリセットする。次に、信号  $\phi$  VRS2 をローレベルにして MOS トランジスタ T 8 を OFF にした後、信号  $\phi$  V をハイレベルにして MOS トランジスタ T 4 を ON にする。

【0 1 3 9】

このとき、接続ノード a の電圧が MOS トランジスタ T 8 によってリセットされることで、MOS トランジスタ T 3 が動作を行い、MOS トランジスタ T 3 のゲート電圧によって決定される表面ポテンシャルをサンプルした電圧が MOS トランジスタ T 7 のゲートに与えられる。よって、MOS トランジスタ T 7 のゲート電圧が入射光量を対数変換した値に比例した値となるため、MOS トランジスタ T 4 を ON にしたとき、前記光電流を自然対数的に変換した値となる電流又は電圧が、MOS トランジスタ T 7, T 4 を介して出力信号線 6 に導出される。こ



のようにして入射光量の対数値に比例した信号（出力電流）を読み出すと、MOSトランジスタT4をOFFにする。

【0140】

（1-b）感度のバラツキ検出

各画素の感度のバラツキを検出するときの、各信号のタイミングチャートを図56に示す。上記のように、パルス信号 $\phi$ VRS2がMOSトランジスタT8に与えられて接続ノードaの電圧がリセットされた後、パルス信号 $\phi$ VがMOSトランジスタT4のゲートに与えられて、出力信号が読み出されると、まず、信号 $\phi$ Sをローレベルにして、MOSトランジスタT1をOFFにする。そして、信号 $\phi$ VPDを第2電圧にして、MOSトランジスタT2のドレイン・ソース間に負の電荷を蓄積させる。

【0141】

次に、信号 $\phi$ VPDを第1電圧に戻すと、この蓄積された負の電荷が信号 $\phi$ VPDの信号線に流れ出して、MOSトランジスタT2のソースに負の電荷が蓄積された状態になる。この負の電荷の蓄積量は、ゲート・ソース間の閾値電圧によって決まる。このように、MOSトランジスタT2のソースに負の電荷が蓄積されると、MOSトランジスタT8のゲートにパルス信号 $\phi$ VRS2を与えて、接続ノードaの電圧をリセットした後、MOSトランジスタT4のゲートにパルス信号 $\phi$ Vを与えて出力信号を読み出す。

【0142】

このとき、読み出された出力信号は、MOSトランジスタT2の閾値電圧に応じた値となるため、これにより、各画素の感度のバラツキを検出することができる。そして、最後に、撮像動作が行えるように、信号 $\phi$ SをハイレベルにしてMOSトランジスタT1をONにする。このように検出した感度のバラツキ検出を行って得られる信号を補正データとしてラインメモリなどのメモリに記憶し、各画素毎に、実際の撮像時の出力信号をこの補正データを用いて補正することによって、出力信号から画素のバラツキによる成分を取り除くことができる。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。

## 【0143】

(2) 光電流を線形的に変換して出力する場合。

このとき、信号 $\phi$ VPDの電圧は、MOSトランジスタT3の動作点となる電圧である第3電圧とする(MOSトランジスタT3が正しく作動するように回路構成が最適化されていれば、信号 $\phi$ VPDの電圧を先の第1電圧とすることも可能である。)。又、このとき、信号 $\phi$ Sは常にハイレベルで、信号 $\phi$ Sがゲートに与えられるMOSトランジスタT1は、常にON状態である。このようにすることによって、MOSトランジスタT2が図54のリセット用のMOSトランジスタT2に、MOSトランジスタT3が図54の信号増幅用のMOSトランジスタT1に相当した構成になる。

## 【0144】

(2-a) 撮像動作

まず、信号 $\phi$ VPGをローレベルにして、リセット用のMOSトランジスタT2をOFFの状態にする。このように、リセット用のMOSトランジスタT2をOFFにすると、フォトダイオードPDに光電流が流れることによって、MOSトランジスタT3のゲート電圧が変化する。即ち、フォトダイオードPDより負の光電荷がMOSトランジスタT3のゲートに与えられ、MOSトランジスタT3のゲート電圧が、光電流に対して線形的に変化した値になる。尚、このとき、フォトダイオードPDで発生した負の光電荷がMOSトランジスタT3のゲートに流れ込むため、強い光が入射されるほどMOSトランジスタT3のゲート電圧が低くなる。

## 【0145】

このようにして光電流に対して線形的に変化した電圧がMOSトランジスタT3のゲートに現れると、まず、MOSトランジスタT8のゲートにハイレベルの信号 $\phi$ VRS2を与えてMOSトランジスタT8をONにして、キャパシタC1及び接続ノードaの電圧をリセットする。このとき、接続ノードaの電圧をMOSトランジスタT3が動作できるようにMOSトランジスタT3のゲート電圧により決定される表面ポテンシャルより低い電圧になるようにリセットする。次に、信号 $\phi$ VRS2をローレベルにしてMOSトランジスタT8をOFFにした後、信

号  $\phi V$  をハイレベルにして MOS トランジスタ T 4 を ON にする。

【 0 1 4 6 】

このとき、接続ノード a の電圧が MOS トランジスタ T 8 によってリセットされることで、MOS トランジスタ T 3 が動作を行い、MOS トランジスタ T 3 のゲート電圧によって決定される表面ポテンシャルをサンプルした電圧が MOS トランジスタ T 7 のゲートに与えられる。よって、MOS トランジスタ T 7 のゲート電圧が入射光量を積分した値に比例した値となるため、MOS トランジスタ T 4 を ON にしたとき、前記光電流を線形的に変換した値となる電流が、MOS トランジスタ T 7, T 4 を介して出力信号線 6 に導出される。このようにして入射光量の値に比例した信号（出力電流）を読み出すと、MOS トランジスタ T 4 を OFF にする。

【 0 1 4 7 】

( 2 - b ) リセット動作

各画素のリセットを行うときの、各信号のタイミングチャートを図 5 7 に示す。上記のように、パルス信号  $\phi VRS2$  が MOS トランジスタ T 8 に与えられて接続ノード a の電圧がリセットされた後、パルス信号  $\phi V$  が MOS トランジスタ T 4 のゲートに与えられて、出力信号が読み出されると、まず、信号  $\phi VPG$  をハイレベルにして、MOS トランジスタ T 2 を ON にする。このように MOS トランジスタ T 2 が ON になると、MOS トランジスタ T 3 のゲートに第 3 電圧が与えられ、MOS トランジスタ T 3 のゲート電圧がリセットされる。そして、信号  $\phi VPG$  を再びローレベルにして、MOS トランジスタ T 2 を OFF にする。

【 0 1 4 8 】

次に、MOS トランジスタ T 8 のゲートにパルス信号  $\phi VRS2$  を与えて、接続ノード a の電圧をリセットした後、MOS トランジスタ T 4 のゲートにパルス信号  $\phi V$  を与えて出力信号を読み出す。このとき、出力信号は、MOS トランジスタ T 3 のゲート電圧に応じた値となり、初期化されたときの出力信号として読み出される。そして、出力信号が読み出されると、再び上記した撮像動作が行われる。

## 【0 1 4 9】

このように初期化されたときの信号を補正データとしてラインメモリなどのメモリに記憶し、各画素毎に、実際の撮像時の出力信号をこの補正データを用いて補正することによって、出力信号から画素のバラツキによる成分を取り除くことができる。この補正方法は、ラインメモリなどのメモリを画素内に設けることによって実現できる。尚、第 6 の実施形態（図 1 6）のように、MOS トランジスタ T 3 のドレインにパルス信号（例えば、 $\phi$  VPD'）を与えるような構造にして、この信号  $\phi$  VPD' によって MOS トランジスタ T 3 によって、接続ノード a の電圧をリセットできるようにすることで、図 5 5 の構成の画素から MOS トランジスタ T 8 を省略した構成にしても構わない。

## 【0 1 5 0】

## ＜第 1 2 の実施形態＞

第 1 2 の実施形態について、図面を参照して説明する。図 5 8 は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図 5 5 に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

## 【0 1 5 1】

図 5 8 に示すように、本実施形態では、図 5 5 の画素における MOS トランジスタ T 3、T 8 を P チャネルの MOS トランジスタとし、MOS トランジスタ T 3 のドレインに直流電圧 VPS が印加されるとともに、この MOS トランジスタ T 3 のソースに一端が接続されたキャパシタ C 1 の他端に直流電圧 VPD が印加される。又、MOS トランジスタ T 8 のドレインに直流電圧 VRB2 が印加され、そのソースに MOS トランジスタ T 7 のゲートが接続される。その他の構成については、図 5 5 の画素の構成と同様である。尚、MOS トランジスタ T 8 のソースに印加される直流電圧 VRB2 は、VPS よりも高い電圧である。

## 【0 1 5 2】

（１） 光電流を自然対数的に変換して出力する場合。

このとき、第 1 1 の実施形態と同様に、MOS トランジスタ T 2 をサブスレッショルド領域で動作させるための電圧を第 1 電圧とし、MOS トランジスタ T 2

の閾値のバラツキを検出するために、直流電圧  $V_{PS}$  に略等しい値となる電圧を第 2 電圧とする。

### 【0153】

#### (1-a) 撮像動作

信号  $\phi_{VPD}$  を第 1 電圧として、MOS トランジスタ  $T_2$  をサブスレッショルド領域で動作させるとともに、MOS トランジスタ  $T_1$  のゲートに与えられる信号  $\phi_S$  をハイレベルにし、MOS トランジスタ  $T_1$  を ON の状態にする。尚、キャパシタ  $C_1$  及び接続ノード a の電圧が、MOS トランジスタ  $T_8$  によってリセットされているものとする。このとき、フォトダイオード PD に光が入射すると光電流が発生し、MOS トランジスタのサブスレッショルド特性により、光電流を自然対数的に変換した値の電圧が MOS トランジスタ  $T_2$  のソース及び MOS トランジスタ  $T_3$  のゲートに発生する。尚、このとき、フォトダイオード PD で発生した負の光電荷が MOS トランジスタ  $T_2$  のソースに流れ込むため、強い光が入射されるほど MOS トランジスタ  $T_2$  のソース電圧が低くなる。

### 【0154】

このようにして光電流に対して自然対数的に変化した電圧が MOS トランジスタ  $T_3$  のゲートに現れると、接続ノード a がリセットされて MOS トランジスタ  $T_3$  のゲート電圧により決定される表面ポテンシャルより高い電圧になっているので、キャパシタ  $C_1$  から正の電荷が MOS トランジスタ  $T_3$  を介して流れる。このとき、MOS トランジスタ  $T_3$  のゲート電圧によって、キャパシタ  $C_1$  から流れる正の電荷量が決定される。即ち、強い光が入射されて MOS トランジスタ  $T_2$  のソース電圧が低くなるときほど、キャパシタ  $C_1$  から流れる正の電荷量が多い。

### 【0155】

このようにしてキャパシタ  $C_1$  から正の電荷が流れ、接続ノード a の電圧が入射光量の積分値を対数変換した値に比例した値となる。そして、パルス信号  $\phi_V$  を与えて MOS トランジスタ  $T_4$  を ON にしたとき、前記光電流の積分値を自然対数的に変換した値となる電流が、MOS トランジスタ  $T_7$ 、 $T_4$  を介して出力信号線 6 に導出される。このようにして入射光量の対数値に比例した信号（出力

電流)を読み出すと、MOSトランジスタT4をOFFにする。

【0156】

(1-b) 感度のバラツキ検出

各画素の感度のバラツキを検出するときの、各信号のタイミングチャートを図59に示す。上記のように、パルス信号 $\phi V$ がMOSトランジスタT4のゲートに与えられて、出力信号が読み出されると、第11の実施形態(図56)と同様に、まず、信号 $\phi S$ をローレベルにして、MOSトランジスタT1をOFFにする。そして、信号 $\phi VPD$ を第2電圧にして、MOSトランジスタT2のドレイン・ソース間に負の電荷を蓄積させる。

【0157】

次に、信号 $\phi VPD$ を第1電圧に戻すと、この蓄積された負の電荷が信号 $\phi VPD$ の信号線に流れ出して、MOSトランジスタT2のソースに負の電荷が蓄積された状態になる。この負の電荷の蓄積量は、ゲート・ソース間の閾値電圧によって決まる。このように、MOSトランジスタT2のソースに負の電荷が蓄積されると、MOSトランジスタT8のゲートにパルス信号 $\phi VRS2$ を与えて、接続ノードaの電圧をリセットした後、MOSトランジスタT4のゲートにパルス信号 $\phi V$ を与えて出力信号を読み出す。尚、MOSトランジスタT8のゲートに与えるパルス信号 $\phi VRS2$ は、ローレベルのパルス信号である。

【0158】

このとき、読み出された出力信号は、MOSトランジスタT2の閾値電圧に応じた値となるため、これにより、各画素の感度のバラツキを検出することができる。そして、最後に、撮像動作が行えるように、信号 $\phi S$ をハイレベルにしてMOSトランジスタT1をONにした後、MOSトランジスタT8のゲートにパルス信号 $\phi VRS2$ を与えて接続ノードaの電圧をリセットする。このように検出した感度のバラツキ検出を行って得られる信号を補正データとしてラインメモリなどのメモリに記憶し、各画素毎に、実際の撮像時の出力信号をこの補正データを用いて補正することによって、出力信号から画素のバラツキによる成分を取り除くことができる。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。

## 【0159】

(2) 光電流を線形的に変換して出力する場合。

このとき、第11の実施形態と同様に、信号 $\phi$ VPDの電圧は、MOSトランジスタT3の動作点となる電圧である第3電圧とする。又、このとき、信号 $\phi$ Sは常にハイレベルで、信号 $\phi$ Sがゲートに与えられるMOSトランジスタT1は、常にON状態である。このようにすることによって、MOSトランジスタT2が図54のリセット用のMOSトランジスタT2に、MOSトランジスタT3が図54の信号増幅用のMOSトランジスタT1に相当した構成になる。

## 【0160】

(2-a) 撮像動作

まず、第11の実施形態と同様に、信号 $\phi$ VPGをローレベルにして、リセット用のMOSトランジスタT2をOFFの状態にする。尚、キャパシタC1及び接続ノードaの電圧が、MOSトランジスタT8によってリセットされているものとする。このように、リセット用のMOSトランジスタT2をOFFにすると、フォトダイオードPDに光電流が流れることによって、MOSトランジスタT3のゲート電圧が変化する。即ち、フォトダイオードPDより負の光電荷がMOSトランジスタT3のゲートに与えられ、MOSトランジスタT3のゲート電圧が、光電流に対して線形的に変化した値になる。尚、このとき、フォトダイオードPDで発生した負の光電荷がMOSトランジスタT3のゲートに流れ込むため、強い光が入射されるほどMOSトランジスタT3のゲート電圧が低くなる。

## 【0161】

このようにして光電流に対して線形的に変化した電圧がMOSトランジスタT3のゲートに現れると、接続ノードaがリセットされてMOSトランジスタT3のゲート電圧により決定される表面ポテンシャルより高い電圧になっているので、キャパシタC1から正の電荷がMOSトランジスタT3を介して流れる。このとき、MOSトランジスタT3のゲート電圧によって、キャパシタC1から流れる正の電荷量が決定される。即ち、強い光が入射されてMOSトランジスタT3のゲート電圧が低くなるときほど、キャパシタC1から流れる正の電荷量が多い。

## 【0162】

このようにしてキャパシタC1から正の電荷が流れ、接続ノードaの電圧が入射光量の積分値に比例した値となる。そして、パルス信号 $\phi V$ を与えてMOSトランジスタT4をONにしたとき、前記光電流の積分値を線形的に変換した値となる電流が、MOSトランジスタT7、T4を介して出力信号線6に導出される。このようにして入射光量の積分値に比例した信号（出力電流）を読み出すと、MOSトランジスタT4をOFFにする。

## 【0163】

## (2-b) リセット動作

各画素のリセットを行うときの、各信号のタイミングチャートを図60に示す。上記のように、パルス信号 $\phi V$ がMOSトランジスタT4のゲートに与えられて、出力信号が読み出されると、まず、信号 $\phi VPG$ をハイレベルにして、MOSトランジスタT2をONにする。このようにMOSトランジスタT2がONになると、MOSトランジスタT3のゲートに第3電圧が与えられ、MOSトランジスタT3のゲート電圧がリセットされる。そして、信号 $\phi VPG$ を再びローレベルにして、MOSトランジスタT2をOFFにする。

## 【0164】

次に、MOSトランジスタT8のゲートにパルス信号 $\phi VRS2$ を与えて、接続ノードaの電圧をリセットした後、MOSトランジスタT4のゲートにパルス信号 $\phi V$ を与えて出力信号を読み出す。このとき、出力信号は、MOSトランジスタT3のゲート電圧に応じた値となり、初期化されたときの出力信号として読み出される。そして、出力信号が読み出されると、もう一度MOSトランジスタT8のゲートにパルス信号 $\phi VRS2$ を与えて、接続ノードaの電圧をリセットした後、再び上記した撮像動作が行われる。尚、パルス信号 $\phi VRS2$ は、ローレベルのパルス信号である。

## 【0165】

このように初期化されたときの信号を補正データとしてラインメモリなどのメモリに記憶し、各画素毎に、実際の撮像時の出力信号をこの補正データを用いて補正することによって、出力信号から画素のバラツキによる成分を取り除くこと



ができる。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。尚、第6の実施形態（図16）のように、MOSトランジスタT3のドレインにパルス信号（例えば、 $\phi$  VPS）を与えるような構造にして、この信号 $\phi$  VPSによってMOSトランジスタT3によって、接続ノードaの電圧をリセットできるようにすることで、図58の構成の画素からMOSトランジスタT8を省略した構成にしても構わない。尚、この場合は、MOSトランジスタT3のドレインに与えるパルス信号 $\phi$  VPSを、フォトダイオードPDのアノードに印加する直流電圧VPSとは異なる電源線から供給するようにする。

【0166】

#### <第13の実施形態>

第13の実施形態について、図面を参照して説明する。図61は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図55に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0167】

図61に示すように、本実施形態では、MOSトランジスタT3のドレインに直流電圧VPDが印加されるとともに、キャパシタC1及びMOSトランジスタT7、T8を削除した構成となっている。その他の構成は、第11の実施形態（図55）と同一である。

【0168】

（1） 光電流を自然対数的に変換して出力する場合。

このとき、第11の実施形態と同様に、MOSトランジスタT2をサブスレッショルド領域で動作させるための電圧を第1電圧とし、MOSトランジスタT2の閾値のバラツキを検出するために、直流電圧VPSに略等しい値となる電圧を第2電圧とする。

【0169】

（1-a） 撮像動作

信号 $\phi$  VPDを第1電圧として、MOSトランジスタT2をサブスレッショルド領域で動作させるとともに、MOSトランジスタT1のゲートに与えられる信号

$\phi S$ をハイレベルにし、MOSトランジスタT1をONの状態にする。このとき、フォトダイオードPDに光が入射すると光電流が発生し、MOSトランジスタのサブスレッショルド特性により、光電流を自然対数的に変換した値の電圧がMOSトランジスタT2のソース及びMOSトランジスタT3のゲートに発生する。尚、このとき、フォトダイオードPDで発生した負の光電荷がMOSトランジスタT2のソースに流れ込むため、強い光が入射されるほどMOSトランジスタT2のソース電圧が低くなる。

【0170】

このようにして光電流に対して自然対数的に変化した電圧がMOSトランジスタT3のゲートに現れると、パルス信号 $\phi V$ が与えられてMOSトランジスタT4をONとして、前記光電流を自然対数的に変換した値となる電流が、MOSトランジスタT3, T4を介して出力信号線6に導出される。このようにして入射光量の対数値に比例した信号（出力電流）を読み出すと、MOSトランジスタT4をOFFにする。

【0171】

#### (1-b) 感度のバラツキ検出

各画素の感度のバラツキを検出するときの、各信号のタイミングチャートを図62に示す。上記のように、パルス信号 $\phi V$ がMOSトランジスタT4のゲートに与えられて、出力信号が読み出されると、第11の実施形態（図56）と同様に、まず、信号 $\phi S$ をローレベルにして、MOSトランジスタT1をOFFにする。そして、信号 $\phi VPD$ を第2電圧にして、MOSトランジスタT2のドレイン・ソース間に負の電荷を蓄積させる。

【0172】

次に、信号 $\phi VPD$ を第1電圧に戻すと、この蓄積された負の電荷が信号 $\phi VPD$ の信号線に流れ出して、MOSトランジスタT2のソースに負の電荷が蓄積された状態になる。この負の電荷の蓄積量は、ゲート・ソース間の閾値電圧によって決まる。このように、MOSトランジスタT2のソースに負の電荷が蓄積されると、MOSトランジスタT4のゲートにパルス信号 $\phi V$ を与えて出力信号を読み出す。

## 【0173】

このとき、読み出された出力信号は、MOSトランジスタT2の閾値電圧に応じた値となるため、これにより、各画素の感度のバラツキを検出することができる。そして、最後に、撮像動作が行えるように、信号 $\phi S$ をハイレベルにしてMOSトランジスタT1をONにする。このように検出した感度のバラツキ検出を行って得られる信号を補正データとしてラインメモリなどのメモリに記憶し、各画素毎に、実際の撮像時の出力信号をこの補正データを用いて補正することによって、出力信号から画素のバラツキによる成分を取り除くことができる。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。

## 【0174】

(2) 光電流を線形的に変換して出力する場合。

このとき、第11の実施形態と同様に、信号 $\phi VPD$ の電圧は、MOSトランジスタT3の動作点となる電圧である第3電圧とする。又、このとき、信号 $\phi S$ は常にハイレベルで、信号 $\phi S$ がゲートに与えられるMOSトランジスタT1は、常にON状態である。このようにすることによって、MOSトランジスタT2が図54のリセット用のMOSトランジスタT2に、MOSトランジスタT3が図54の信号増幅用のMOSトランジスタT1に相当した構成になる。

## 【0175】

(2-a) 撮像動作

まず、第11の実施形態と同様に、信号 $\phi VPG$ をローレベルにして、リセット用のMOSトランジスタT2をOFFの状態にする。このように、リセット用のMOSトランジスタT2をOFFにすると、フォトダイオードPDに光電流が流れることによって、MOSトランジスタT3のゲート電圧が変化する。即ち、フォトダイオードPDより負の光電荷がMOSトランジスタT3のゲートに与えられ、MOSトランジスタT3のゲート電圧が、光電流に対して線形的に変化した値になる。尚、このとき、フォトダイオードPDで発生した負の光電荷がMOSトランジスタT3のゲートに流れ込むため、強い光が入射されるほどMOSトランジスタT3のゲート電圧が低くなる。

## 【0 1 7 6】

このようにして光電流に対して線形的に変化した電圧がMOSトランジスタT3のゲートに現れると、パルス信号 $\phi V$ が与えられてMOSトランジスタT4をONにする。このとき、前記光電流の積分値を線形的に変換した値となる電流が、MOSトランジスタT3、T4を介して出力信号線6に導出される。このようにして入射光量の積分値に比例した信号（出力電流）を読み出すと、MOSトランジスタT4をOFFにする。

## 【0 1 7 7】

## (2-b) リセット動作

各画素のリセットを行うときの、各信号のタイミングチャートを図63に示す。上記のように、パルス信号 $\phi V$ がMOSトランジスタT4のゲートに与えられて、出力信号が読み出されると、まず、信号 $\phi VPG$ をハイレベルにして、MOSトランジスタT2をONにする。このようにMOSトランジスタT2がONになると、MOSトランジスタT3のゲートに第3電圧が与えられ、MOSトランジスタT3のゲート電圧がリセットされる。そして、信号 $\phi VPG$ を再びローレベルにして、MOSトランジスタT2をOFFにする。

## 【0 1 7 8】

次に、MOSトランジスタT4のゲートにパルス信号 $\phi V$ を与えて出力信号を読み出す。このとき、出力信号は、MOSトランジスタT3のゲート電圧に応じた値となり、初期化されたときの出力信号として読み出される。そして、出力信号が読み出されると、再び上記した撮像動作が行われる。このように初期化されたときの信号を補正データとしてラインメモリなどのメモリに記憶し、各画素毎に、実際の撮像時の出力信号をこの補正データを用いて補正することによって、出力信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図53に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。

## 【0 1 7 9】

以上説明した実施形態において、各画素からの信号読み出しは電荷結合素子（CCD）を用いて行うようにしてもかまわない。この場合、MOSトランジスタ

T4に相当するポテンシャルレベルを可変としたポテンシャルの障壁を設けることにより、CCDへの電荷読み出しを行えばよい。

#### 【0180】

以上説明した第1～第11及び第13の実施形態は、画素内の能動素子であるMOSトランジスタT1～T8を全てNチャネルのMOSトランジスタで構成しているが、これらのMOSトランジスタT1～T8を全てPチャネルのMOSトランジスタで構成してもよい。又、第12の実施形態において、画素内のNチャネルのMOSトランジスタをPチャネルのMOSトランジスタに、PチャネルのMOSトランジスタをNチャネルのMOSトランジスタに変えて構成しても構わない。

#### 【0181】

図33～図36及び図39～図44には、上記第1～第10の実施形態をPチャネルのMOSトランジスタで構成した例である第14～第23の実施形態を示している。又、図64～図66には、上記第11～第13の実施形態の画素のMOSトランジスタを逆極性のMOSトランジスタで構成した例である第24～第26の実施形態を示している。又、図45～図48は、第20～第23の実施形態において、第1MOSトランジスタT1をディプレッション型のPチャネルのMOSトランジスタとしたものである。更に、図49～図52は、第20～第23の実施形態において、第1MOSトランジスタT1をNチャネルのMOSトランジスタとしたものである。そのため図32～図52及び図64～図66では接続の極性や印加電圧の極性が逆になっている。例えば、図33（第14の実施形態）において、フォトダイオードPDはアノードに直流電圧VPDに接続され、カソードが第1MOSトランジスタT1のドレインに接続され、また、MOSトランジスタT1のソースが第2MOSトランジスタT2のドレイン及び第3MOSトランジスタT3のゲートに接続されている。MOSトランジスタT2のソースには信号φVPSが与えられる。

#### 【0182】

ところで、図33のような画素が対数変換を行うとき、直流電圧VPSと直流電圧VPDは、 $VPS > VPD$  となっており、図2（第1の実施形態）と逆である。ま

た、キャパシタC1の出力電圧は初期値が高い電圧で、積分によって降下する。また、第1MOSトランジスタT1や第4MOSトランジスタT4や第5MOSトランジスタT5や第6MOSトランジスタT6をONさせるときには、低い電圧をゲートに印加する。更に、図34～図36、図39～図52の実施形態（第15～第24の実施形態）において、第8MOSトランジスタT8ときには、低い電圧をゲートに印加する。又、図49～図52に示す構成の画素において、NチャネルのMOSトランジスタとなる第1MOSトランジスタT1をONさせるときには、高い電圧をゲートに印加する。更に、図65の実施形態（第25の実施形態）において、第4MOSトランジスタT4をONさせるときには低い電圧をゲートに印加し、そして、第8MOSトランジスタT8をONさせるときには高い電圧をゲートに印加する。以上の通り、逆極性のMOSトランジスタを用いる場合は、電圧関係や接続関係が一部異なるが、構成は実質的に同一であり、また基本的な動作も同一であるので、図33～図36、図39～図52、及び図64～図66については図面で示すのみで、その構成や動作についての説明は省略する。

## 【0183】

第14～第17の実施形態の画素を含む固体撮像装置の全体構成を説明するためのブロック回路構成図を図32に示し、第18～第26の実施形態の画素を含む固体撮像装置の全体構成を説明するためのブロック回路構成図を図37に示している。図32及び図37については、図1及び図12と同一部分（同一の役割部分）に同一の符号を付して説明を省略する。以下、図37の構成について簡単に説明する。列方向に配列された出力信号線6-1、6-2、・・・、6-mに対してPチャネルのMOSトランジスタQ1とPチャネルのMOSトランジスタQ2が接続されている。MOSトランジスタQ1のゲートは直流電圧線7に接続され、ドレインは出力信号線6-1に接続され、ソースは直流電圧VPS'のライン8に接続されている。

## 【0184】

一方、MOSトランジスタQ2のドレインは出力信号線6-1に接続され、ソースは最終的な信号線9に接続され、ゲートは水平走査回路3に接続されている。

。ここで、MOSトランジスタQ1は画素内のPチャネルのMOSトランジスタTaと共に図38(a)に示すような増幅回路を構成している。尚、MOSトランジスタTaは、第18、第19、第24及び第25の実施形態では第7MOSトランジスタT7に相当し、又、第20～第23及び第26の実施形態では第3MOSトランジスタT3に相当する。

#### 【0185】

この場合、MOSトランジスタQ1はMOSトランジスタTaの負荷抵抗又は定電流源となっている。従って、このMOSトランジスタQ1のソースに接続される直流電圧VPS'と、MOSトランジスタTaのドレインに接続される直流電圧VPD'との関係は、 $VPD' < VPS'$ であり、直流電圧VPD'は例えばグランド電圧（接地）である。MOSトランジスタQ1のドレインはMOSトランジスタTaに接続され、ゲートには直流電圧が印加されている。PチャネルのMOSトランジスタQ2は水平走査回路3によって制御され、増幅回路の出力を最終的な信号線9へ導出する。第18～第26の実施形態のように、画素内に設けられた第4MOSトランジスタT4を考慮すると、図38(a)の回路は図38(b)のように表わされる。

#### 【0186】

#### <画像データの補正方法>

上述した第1～第26の実施形態のような回路構成の画素が設けられた固体撮像装置がデジタルカメラなどの画像入力装置に使用されたときの実施例を、図面を参照して説明する。

#### 【0187】

図53に示す画像入力装置は、対物レンズ51と、該対物レンズ51を通して入射される光の光量に応じて電気信号を出力する固体撮像装置52と、撮像時の固体撮像装置52の電気信号（以下、「画像データ」と呼ぶ。）が入力されて一時記憶されるメモリ53と、リセット時の固体撮像装置52の電気信号（以下、「補正データ」と呼ぶ。）が入力されて一時記憶されるためのメモリ54と、メモリ53から送出される画像データからメモリ54から記憶される補正データを補正演算する補正演算回路55と、補正演算回路55で補正データにより補正の

施された画像データを演算処理して外部に出力する処理部 5 6 とを有する。尚、固体撮像装置 5 2 は、第 1 ～ 第 2 6 の実施形態のような回路構成の画素が設けられた固体撮像装置である。

#### 【0 1 8 8】

このような構成の画像入力装置は、まず、撮像動作を行って、固体撮像装置 5 2 から各画素毎に画像データがメモリ 5 3 に出力される。そして、各画素が撮像動作を終えて、リセット動作を行ったときに、上記で説明したように、各画素の感度のバラツキを調べて、補正データをメモリ 5 4 に出力する。そして、メモリ 5 3 内の各画素の画像データとメモリ 5 4 内の各画素の補正データを、補正演算回路 5 5 にこの画像データを各画素毎に送出する。

#### 【0 1 8 9】

補正演算回路 5 5 では、メモリ 5 3 から送出された画像データからこの画像データを出力した同一画素のメモリ 5 4 から送出された補正データが各画素毎に補正演算される。この補正データが補正演算された画像データが処理部 5 6 に送出されて、演算処理された後、外部に出力される。又、このような画像入力装置において、メモリ 5 3, 5 4 は、それぞれ、固体撮像装置 5 2 からライン毎に送出されるデータが記録されるラインメモリなどが用いられる。従って、メモリ 5 3, 5 4 を固体撮像装置内に組み込むことも容易である。

#### 【0 1 9 0】

尚、他の実施形態においては、リセットを行うことによって、ほぼ各画素の感度のバラツキがキャンセルされるが、これをより正確に行うために図 5 3 で説明したようなメモリや補正演算回路などを含む補正回路を設けるようにしても構わない。

#### 【0 1 9 1】

##### 【発明の効果】

以上説明したように、本発明の請求項 1、請求項 2、請求項 8、請求項 9、請求項 1 6、請求項 1 7 に記載の固体撮像装置によれば、感光素子とこれに第 1 電極が電氣的に接続される第 1 のトランジスタとの間にスイッチ手段を設け、このスイッチ手段を OFF するとともに前記第 1 のトランジスタに、撮像時よりも大



きい電流が流れ得るようにしてリセットを行うようにした。従って、感光素子に入射する光がリセット動作に影響を与えることが防止され、リセット動作が正確に行えるようになる。又、リセットによって各画素が同じ初期状態となり、各画素の感度バラツキを抑制することができる。

【0192】

又、請求項3、請求項10、請求項14、請求項15、請求項25に記載するように、光電変換素子と第1トランジスタとの間及び第1トランジスタの制御電極と第1電極との間に設けられた2つのスイッチ、或いは、フォトダイオードと第2MOSトランジスタとの間及び第2MOSトランジスタのゲート電極と第1電極との間に設けられた2つのMOSトランジスタをOFFするとともに、第1のトランジスタの制御電極と第2電極、或いは、第2MOSトランジスタのゲート電極と第2電極に与える電圧を変化させることによって各画素の感度バラツキを検出することにより、正確に各画素の感度バラツキの検出を行うことができる。更に、能動素子をMOSトランジスタで構成することにより高集積化が容易となり、周辺の処理回路（A/Dコンバータ、デジタル・システム・プロセッサ、メモリ）等とともにワンチップ上に形成することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態である二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図2】本発明の第1の実施形態の1画素の構成を示す回路図。

【図3】第1の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図4】図2の画素の構成及びポテンシャルの関係を表した図。

【図5】本発明の第2の実施形態の1画素の構成を示す回路図。

【図6】本発明の第3の実施形態の1画素の構成を示す回路図。

【図7】第3の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 8】図 6 の画素の構成及びポテンシャルの関係を表した図。

【図 9】本発明の第 4 の実施形態の 1 画素の構成を示す回路図。

【図 1 0】第 4 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 1 1】図 9 の画素の構成及びポテンシャルの関係を表した図。

【図 1 2】本発明の一実施形態である二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 1 3】図 1 2 の一部の回路図。

【図 1 4】本発明の第 5 の実施形態の 1 画素の構成を示す回路図。

【図 1 5】第 5 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 1 6】本発明の第 6 の実施形態の 1 画素の構成を示す回路図。

【図 1 7】本発明の第 7 の実施形態の 1 画素の構成を示す回路図。

【図 1 8】第 7 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 1 9】本発明の第 8 の実施形態の 1 画素の構成を示す回路図。

【図 2 0】本発明の第 9 の実施形態の 1 画素の構成を示す回路図。

【図 2 1】第 9 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 2 2】本発明の第 1 0 の実施形態の 1 画素の構成を示す回路図。

【図 2 3】第 1 0 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 2 4】本発明の第 7 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 2 5】本発明の第 8 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 2 6】本発明の第 9 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 2 7】本発明の第 1 0 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 2 8】本発明の第 7 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 2 9】本発明の第 8 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 3 0】本発明の第 9 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 3 1】本発明の第 1 0 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 3 2】画素内の能動素子を P チャネルの MOS トランジスタで構成した実施形態の場合の本発明の二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 3 3】本発明の第 1 4 の実施形態の 1 画素の構成を示す回路図。

【図 3 4】本発明の第 1 5 の実施形態の 1 画素の構成を示す回路図。

【図 3 5】本発明の第 1 6 の実施形態の 1 画素の構成を示す回路図。

【図 3 6】本発明の第 1 7 の実施形態の 1 画素の構成を示す回路図。

【図 3 7】画素内の能動素子を P チャネルの MOS トランジスタで構成した実施形態の場合の本発明の二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 3 8】図 3 7 の一部の回路図。

【図 3 9】本発明の第 1 8 の実施形態の 1 画素の構成を示す回路図。

【図 4 0】本発明の第 1 9 の実施形態の 1 画素の構成を示す回路図。

【図 4 1】本発明の第 2 0 の実施形態の 1 画素の構成を示す回路図。

【図 4 2】本発明の第 2 1 の実施形態の 1 画素の構成を示す回路図。

【図 4 3】本発明の第 2 2 の実施形態の 1 画素の構成を示す回路図。

【図 4 4】本発明の第 2 3 の実施形態の 1 画素の構成を示す回路図。

【図 4 5】本発明の第 2 0 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 4 6】本発明の第 2 1 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 4 7】本発明の第 2 2 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 4 8】本発明の第 2 3 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 4 9】本発明の第 2 0 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 5 0】本発明の第 2 1 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 5 1】本発明の第 2 2 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 5 2】本発明の第 2 3 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 5 3】各実施形態の画素を用いた個体撮像装置を備えた画像入力装置の内部構造を示すブロック図。

【図 5 4】従来例の 1 画素の構成を示す回路図。

【図 5 5】本発明の第 1 1 の実施形態の 1 画素の構成を示す回路図。

【図 5 6】第 1 1 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 5 7】第 1 1 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 5 8】本発明の第 1 2 の実施形態の 1 画素の構成を示す回路図。

【図 5 9】第 1 2 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 6 0】第 1 2 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 6 1】本発明の第 1 3 の実施形態の 1 画素の構成を示す回路図。

【図 6 2】第 1 3 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 6 3】第 1 3 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 6 4】本発明の第 2 4 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 6 5】本発明の第 2 5 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 6 6】本発明の第 2 6 の実施形態の 1 画素の構成の 1 例を示す回路図。

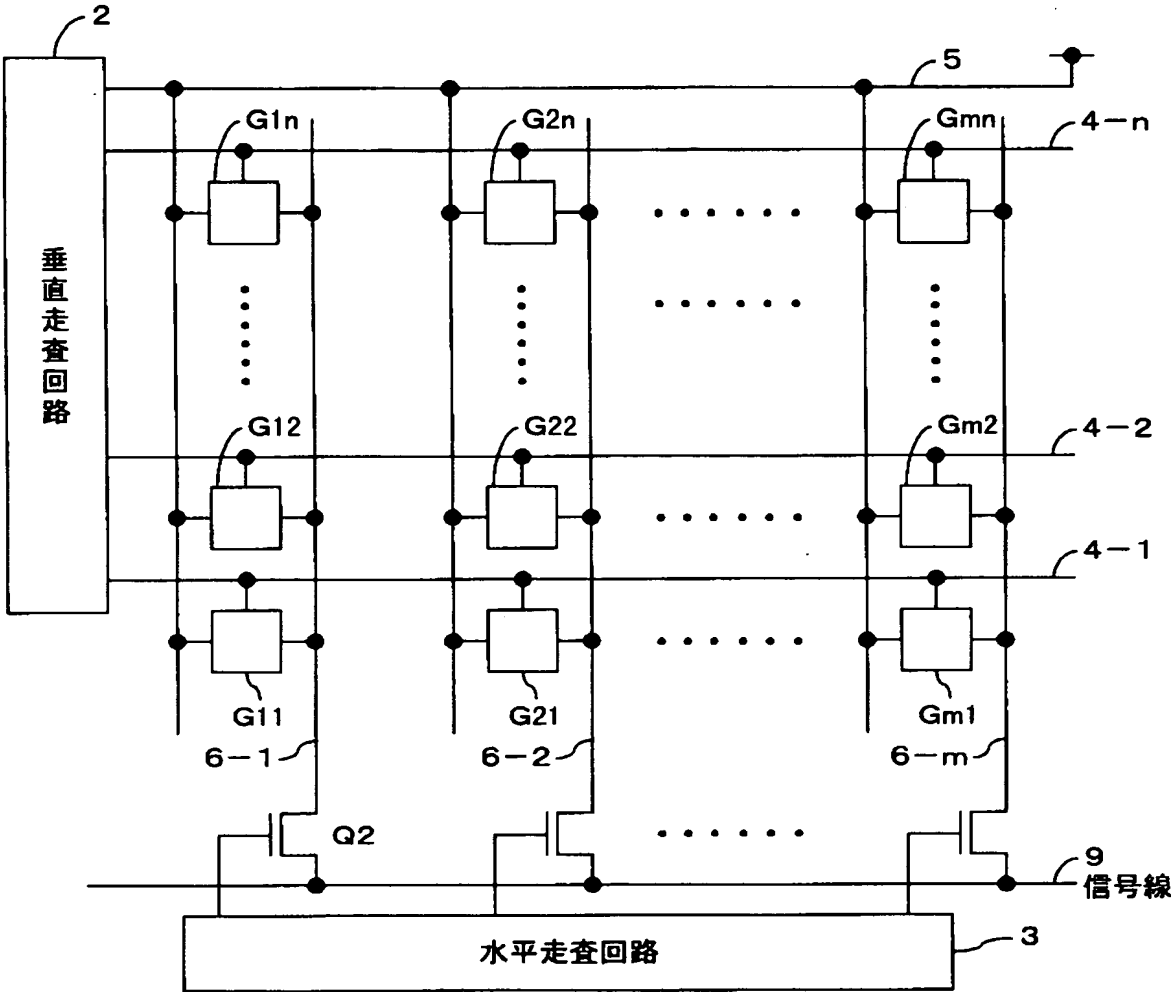
【符号の説明】

G11～Gmn	画素
2	垂直走査回路
3	水平走査回路
4-1～4-n	行選択線
6-1～6-m	出力信号線
7	直流電圧線
8	ライン
9	信号線
10	P型半導体基板

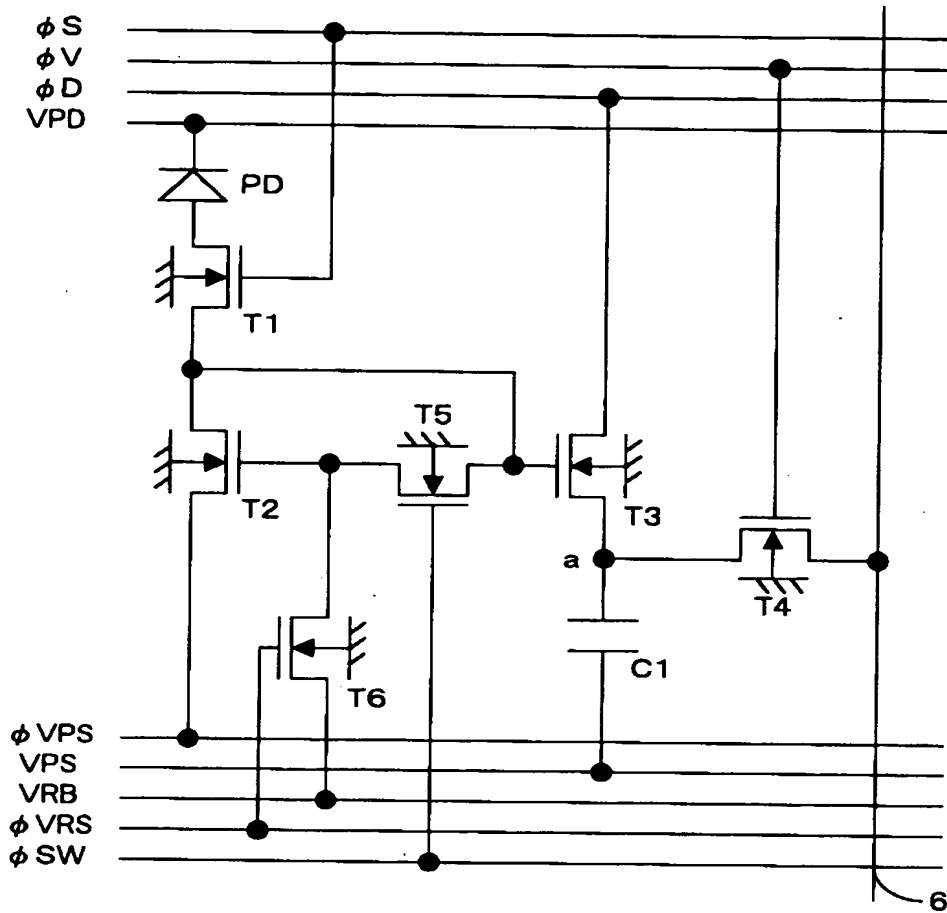
1 1, 1 2     N型拡散層  
1 3     酸化膜  
1 4     ポリシリコン  
5 1     対物レンズ  
5 2     固体撮像装置  
5 3, 5 4     メモリ  
5 5     補正演算回路  
5 6     処理部  
P D     フォトダイオード  
T 1 ~ T 8     第 1 ~ 第 8 M O S トランジスタ  
C 1, C 2     キャパシタ

【書類名】 図面

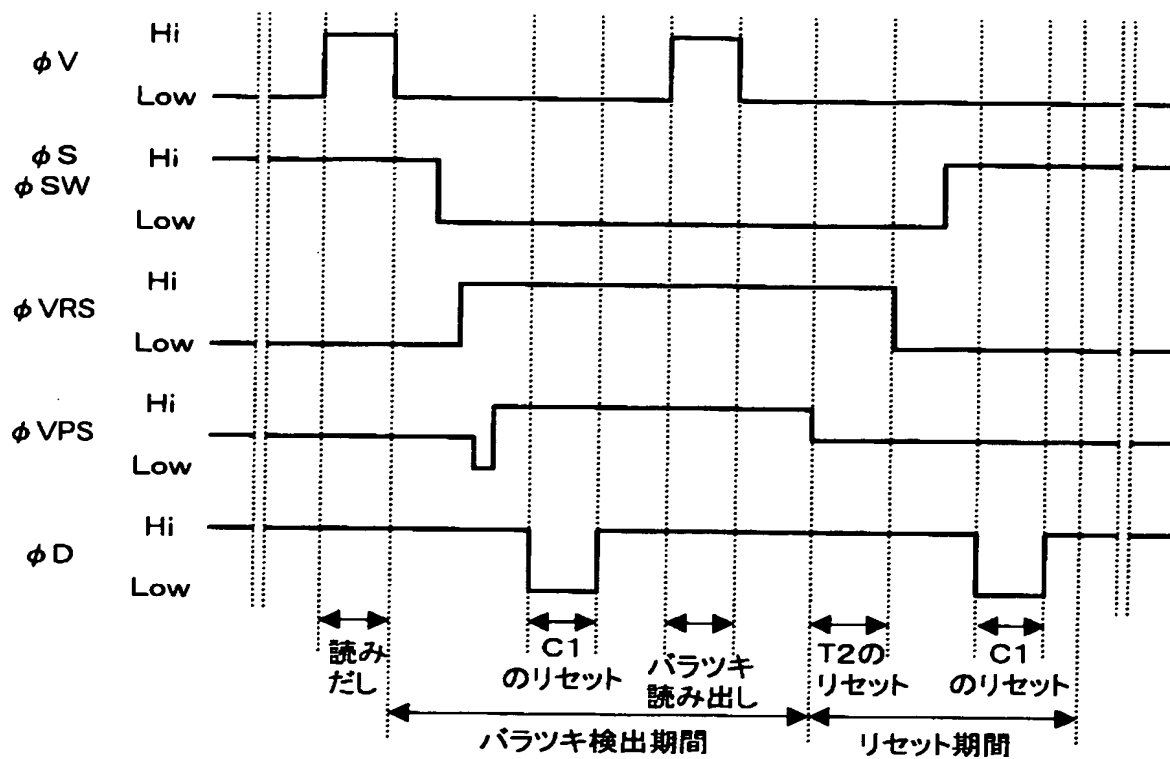
【図 1】



【図 2】

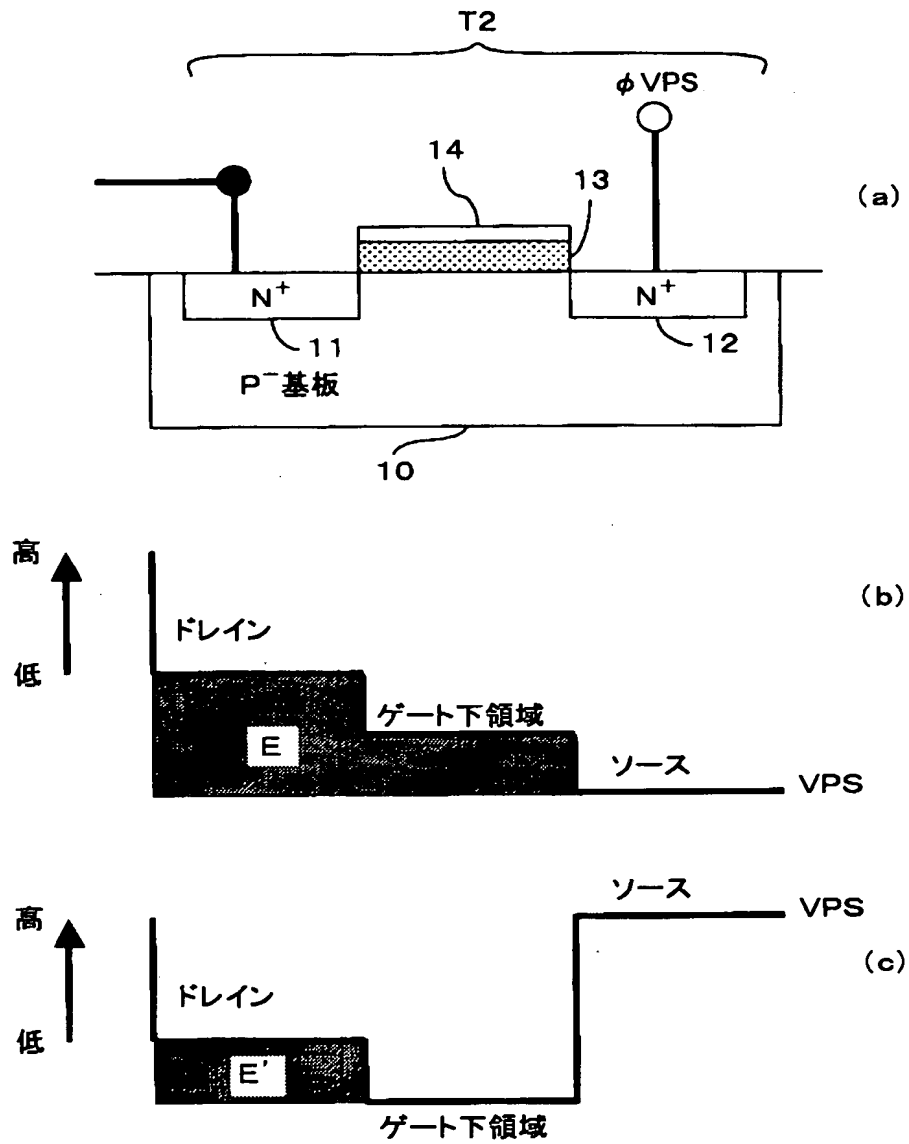


【図 3】

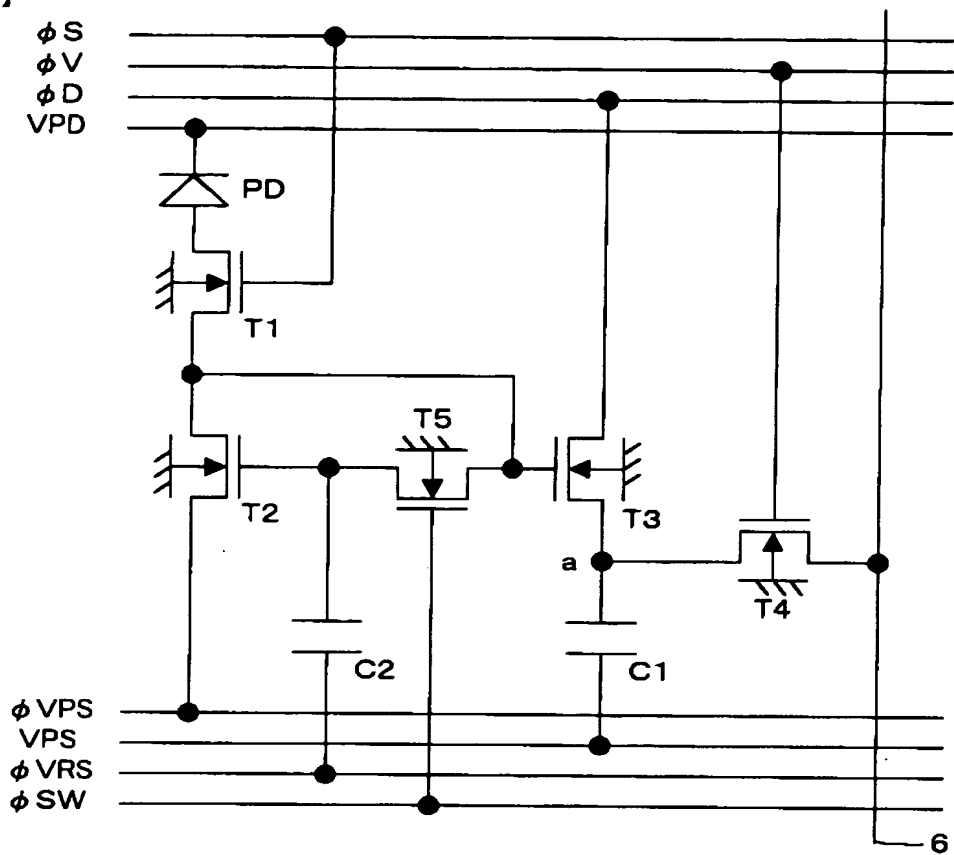




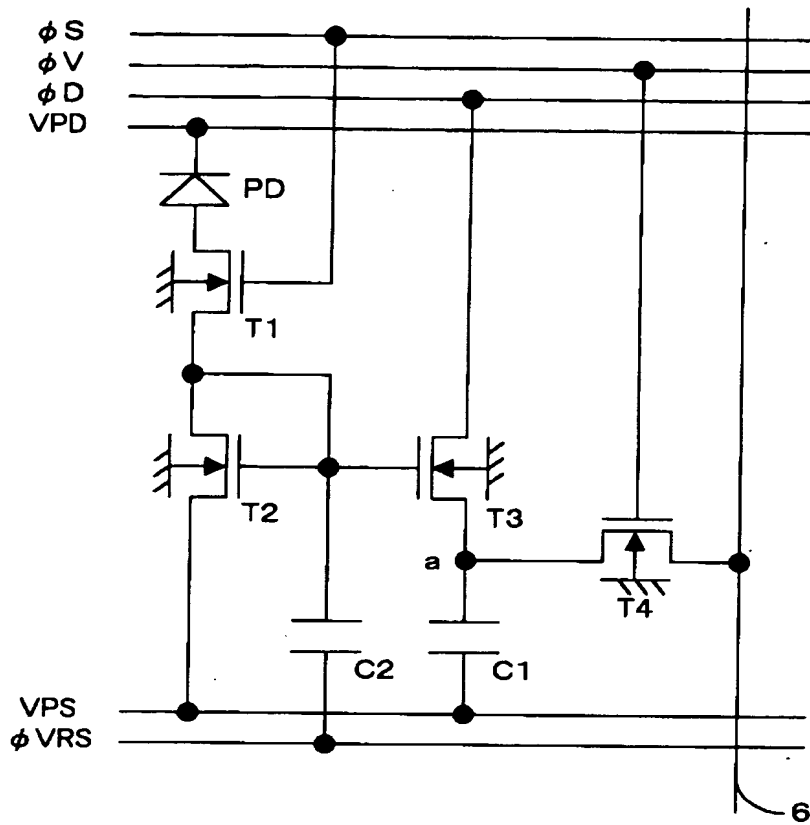
【図 4】



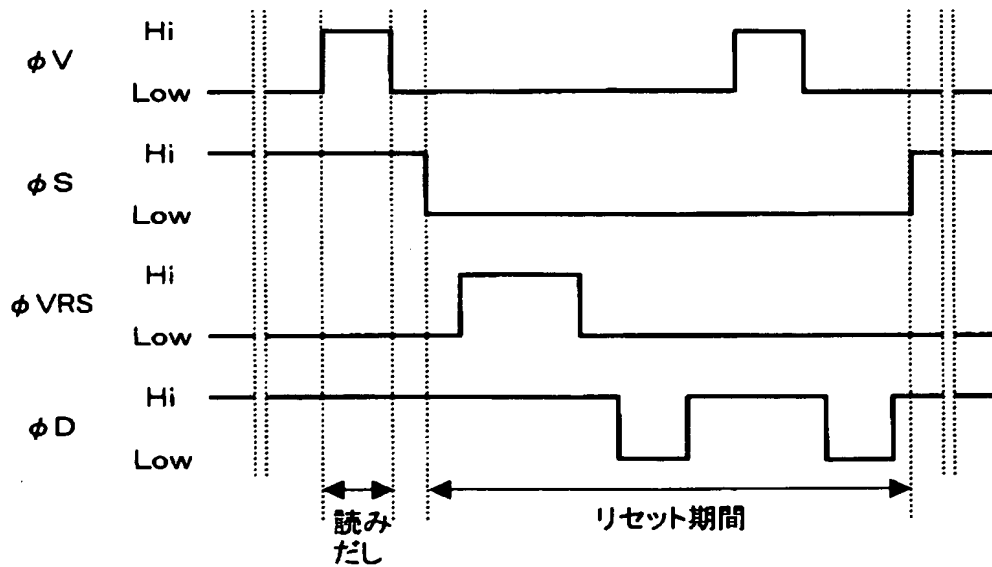
【図 5】



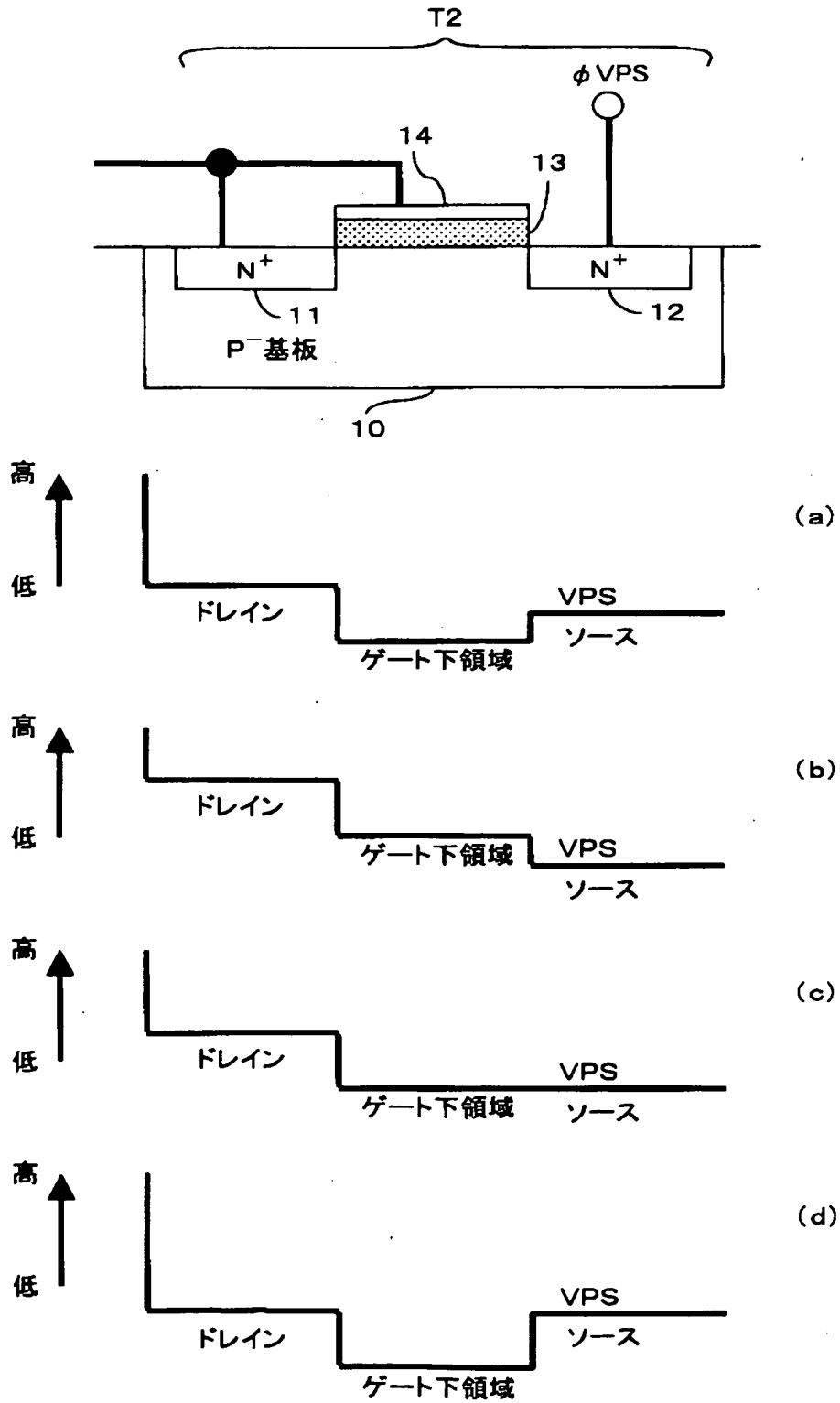
【図 6】



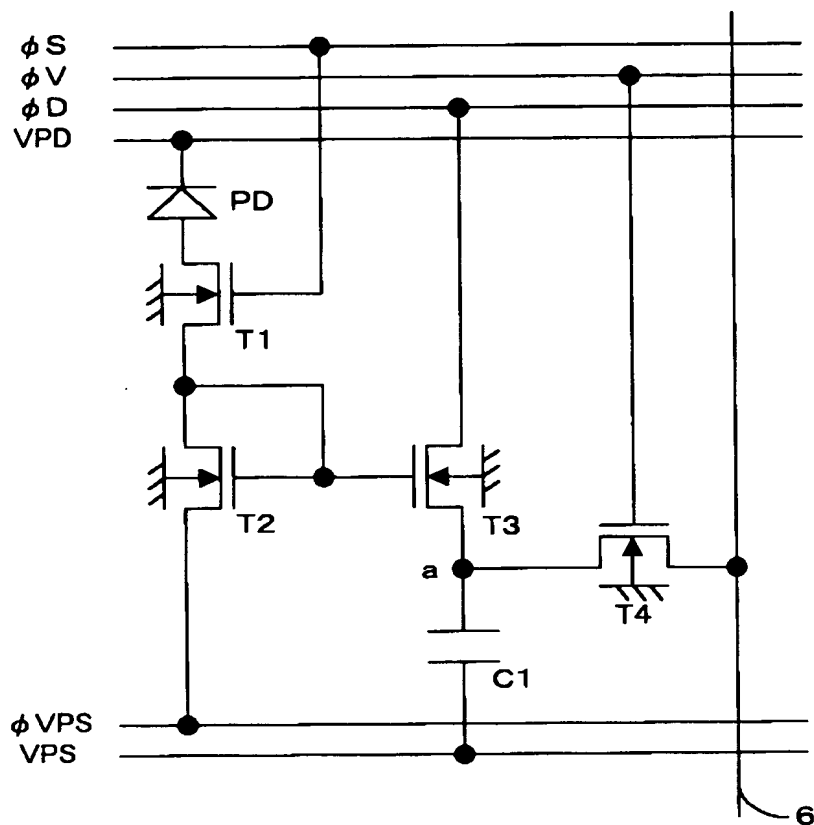
【図 7】



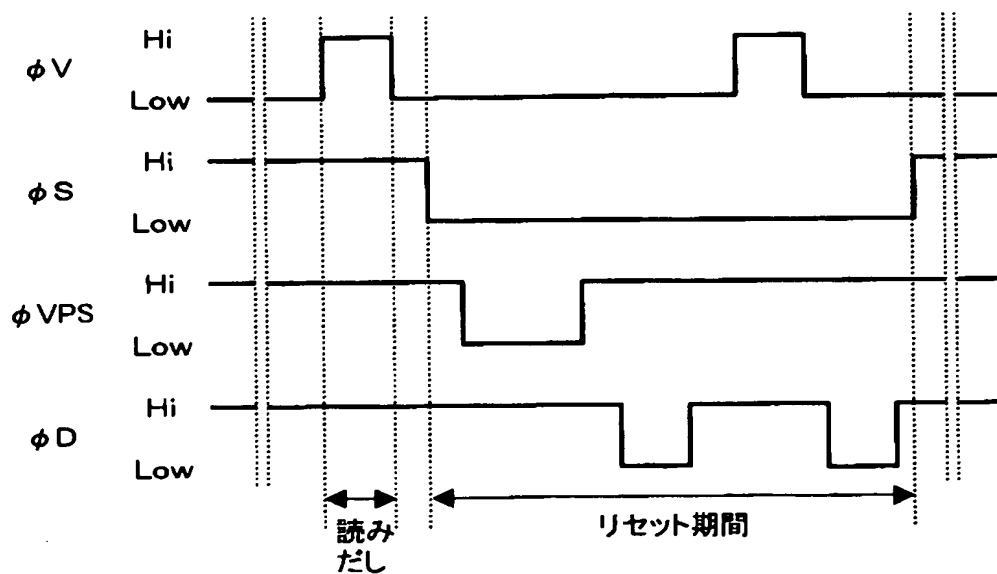
【図 8】



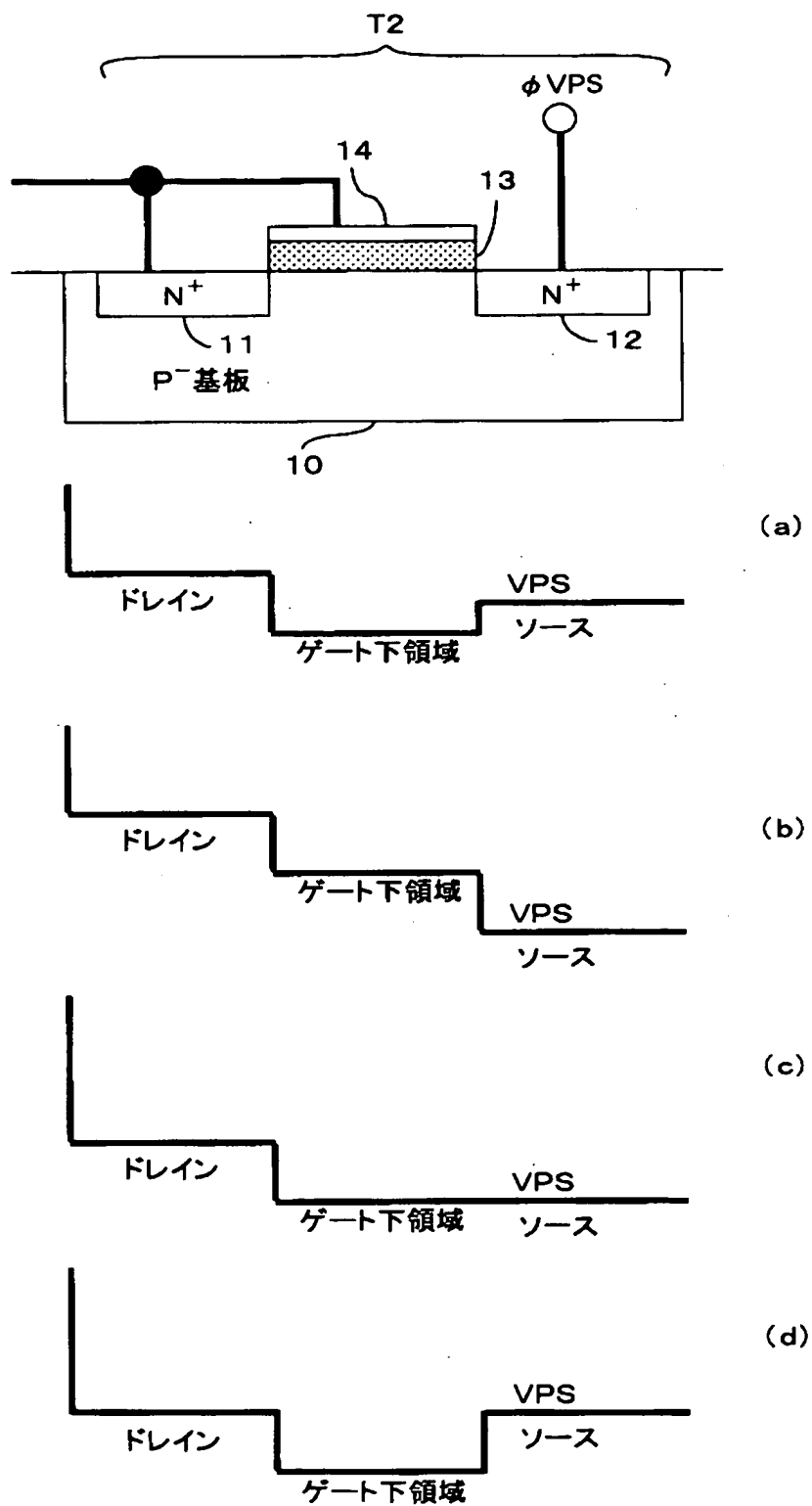
【図 9】



【図 1 0】

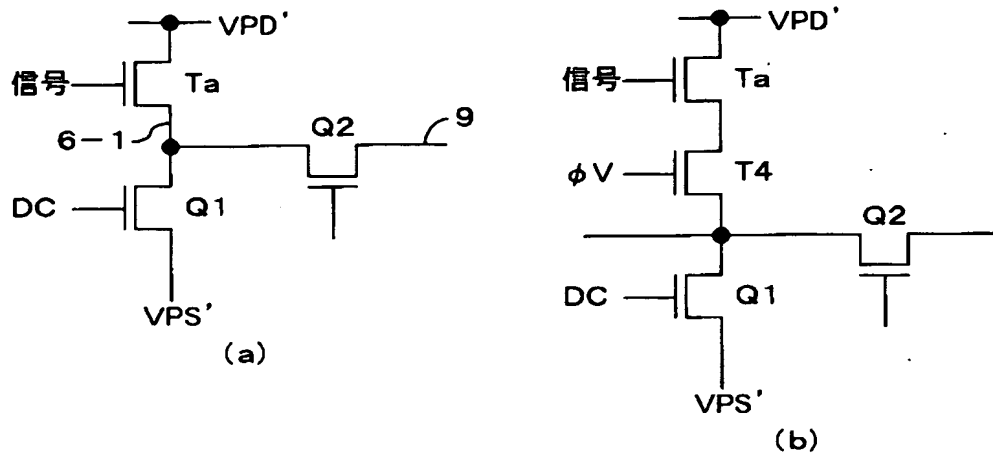


【図 1 1】

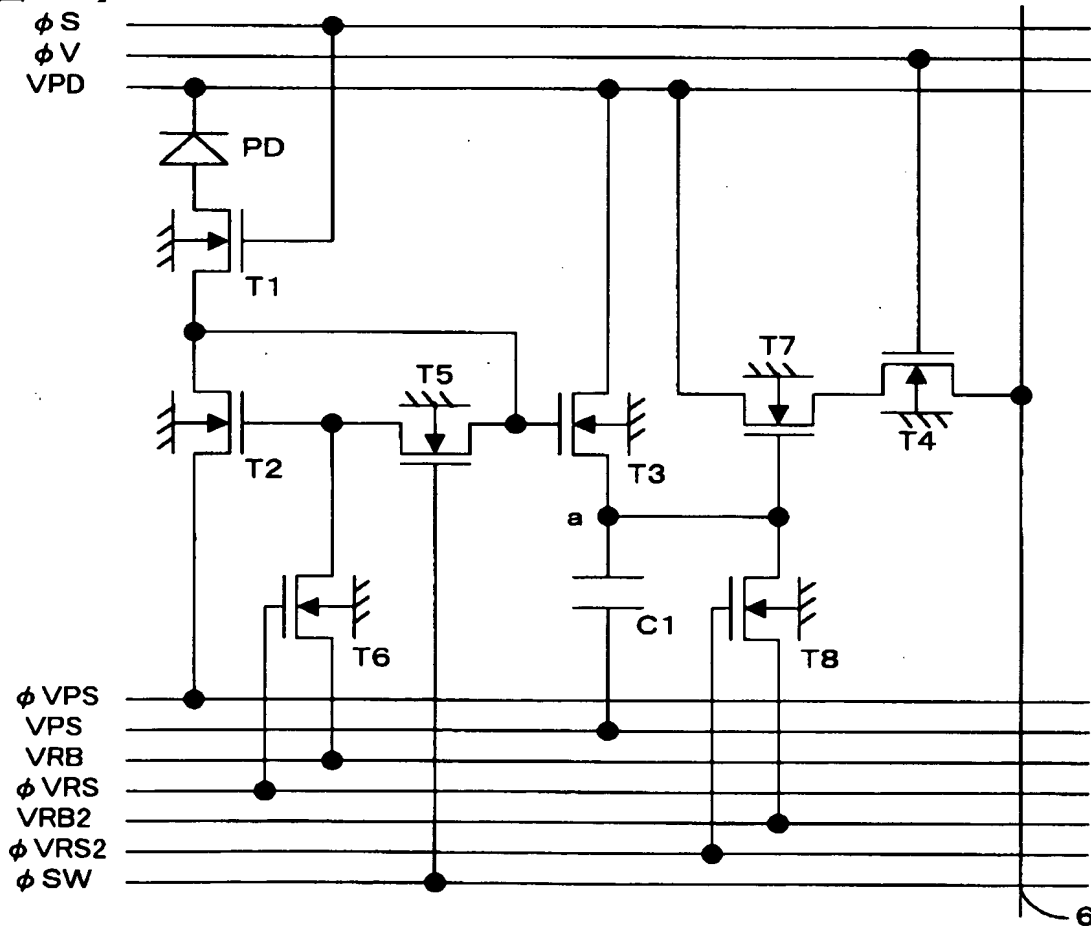




【図 1 3】

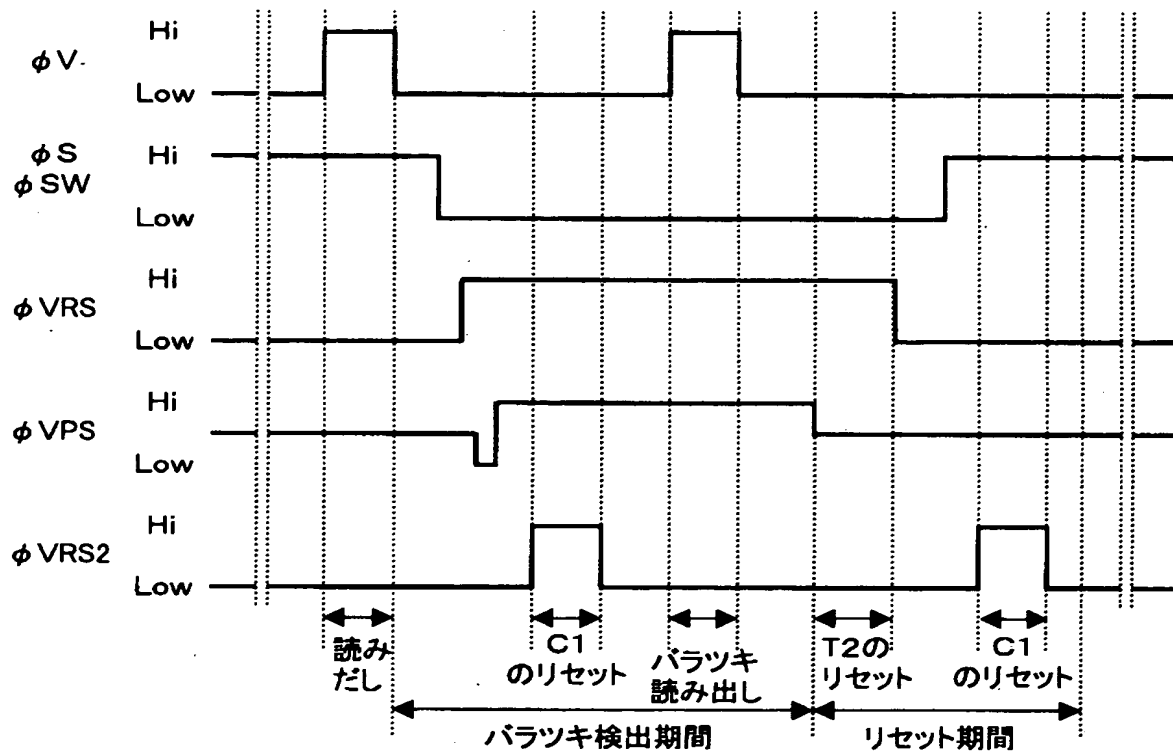


【図 1 4】

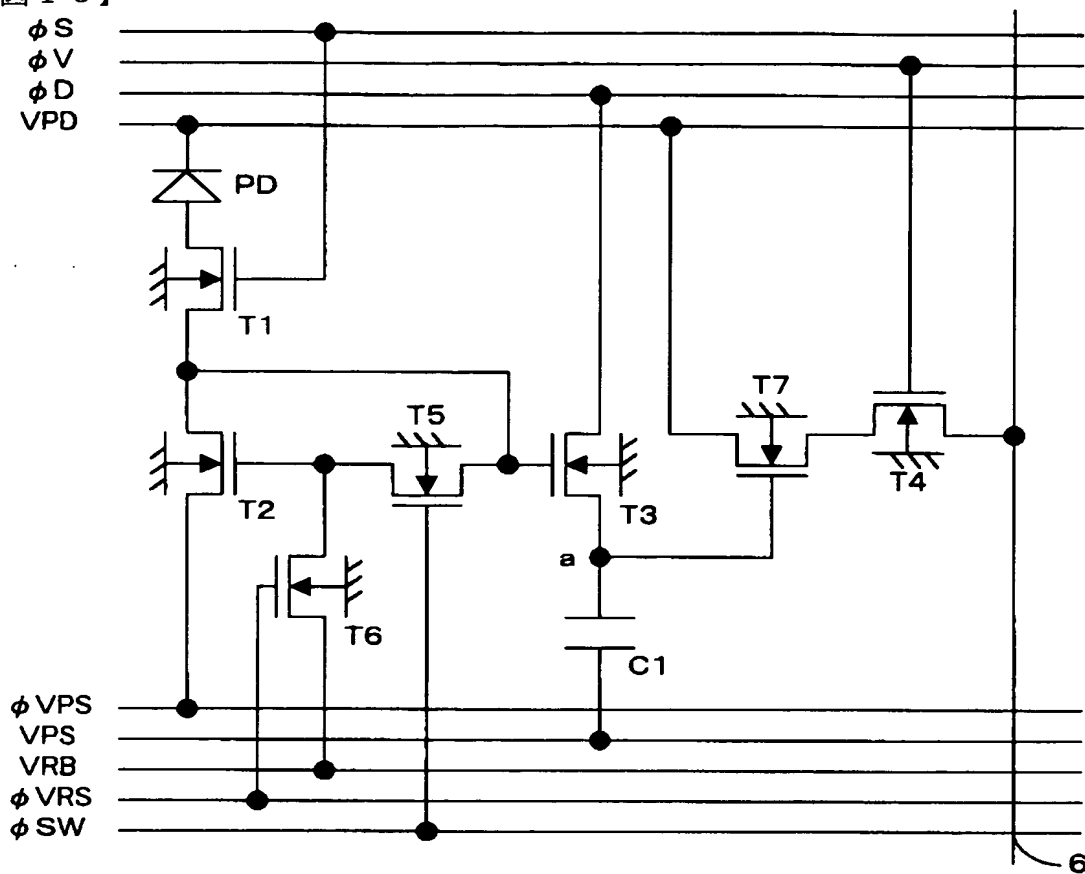




【図 1 5】

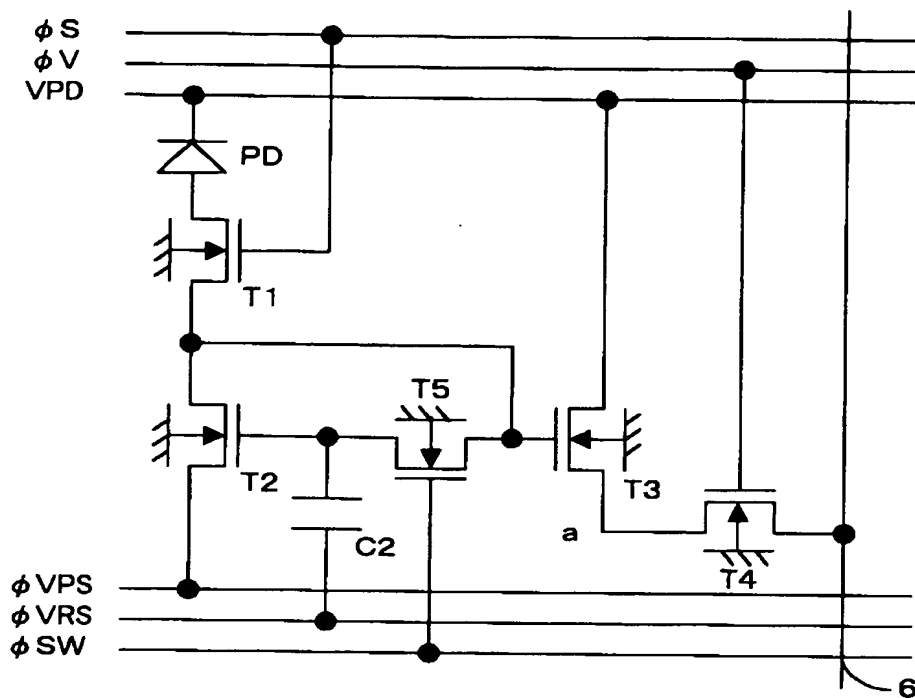


【図 1 6】

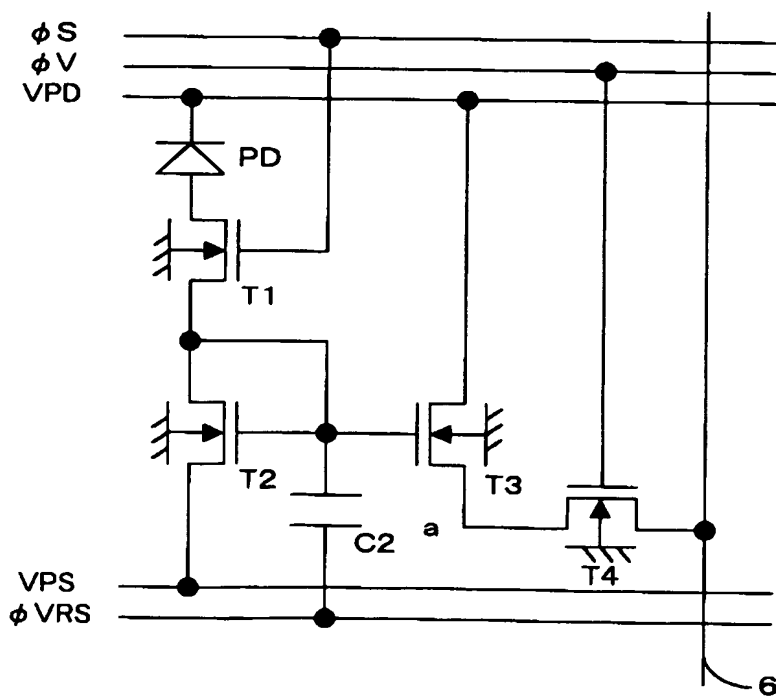




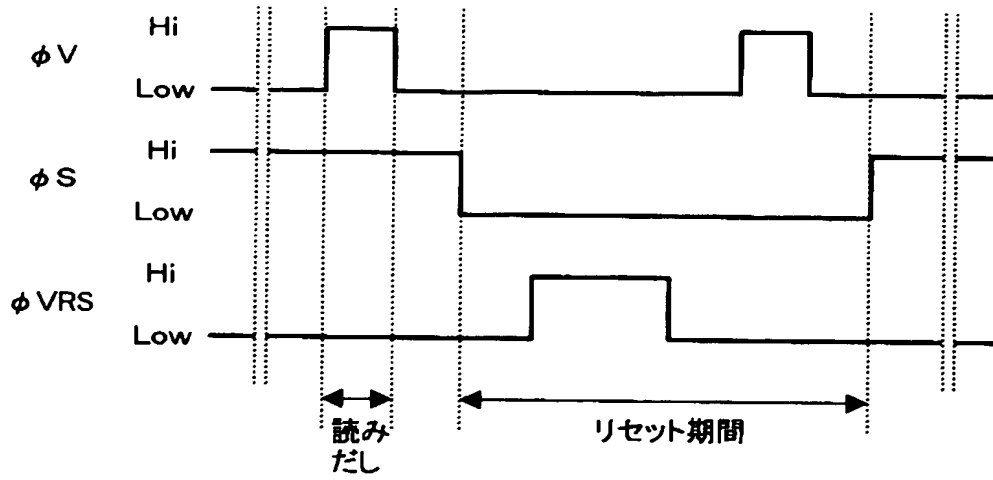
【図 1 9】



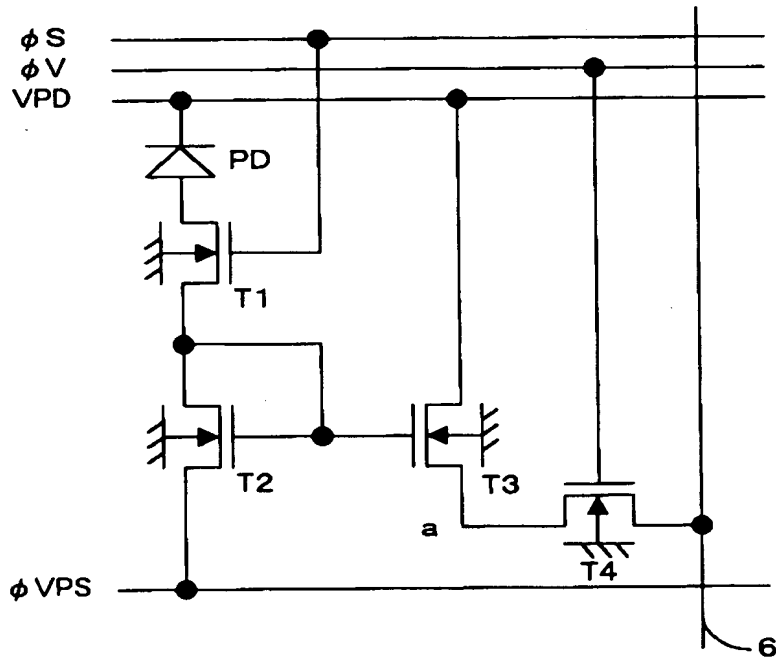
【図 2 0】



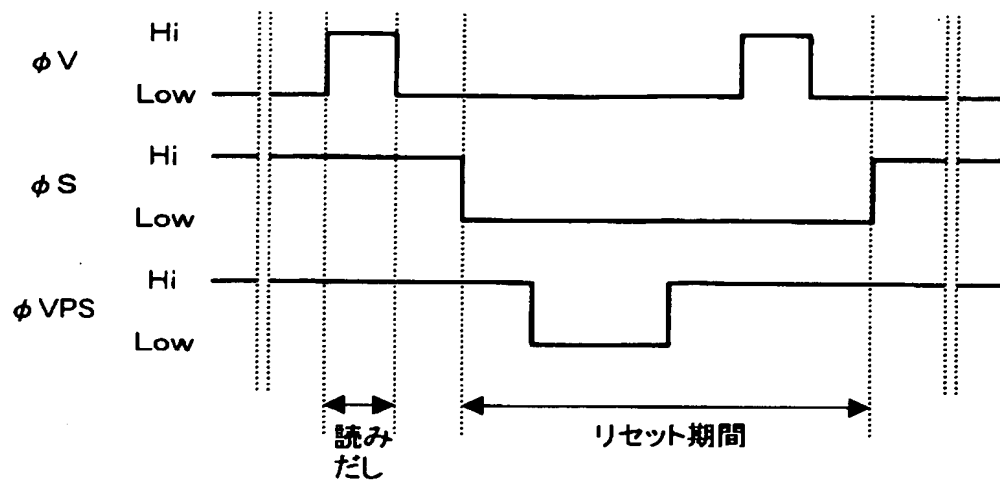
【図 2 1】



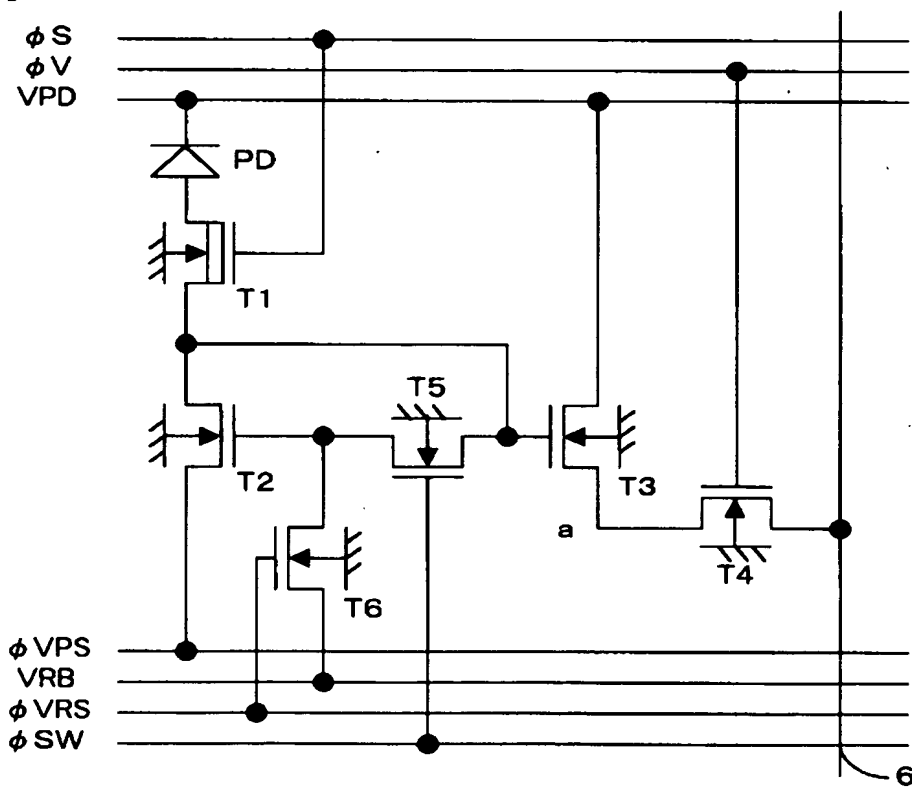
【図 2 2】



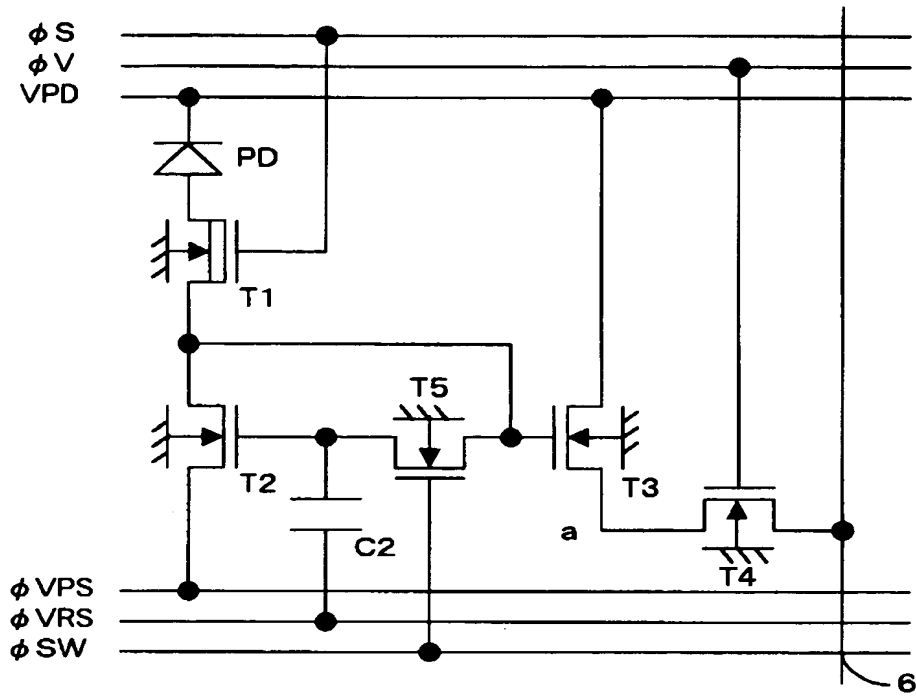
【図 2 3】



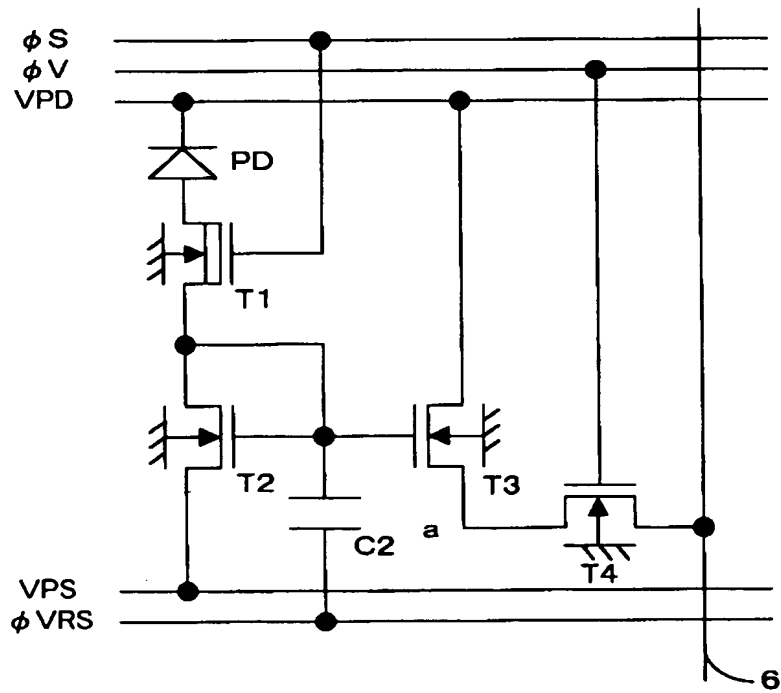
【図 2 4】



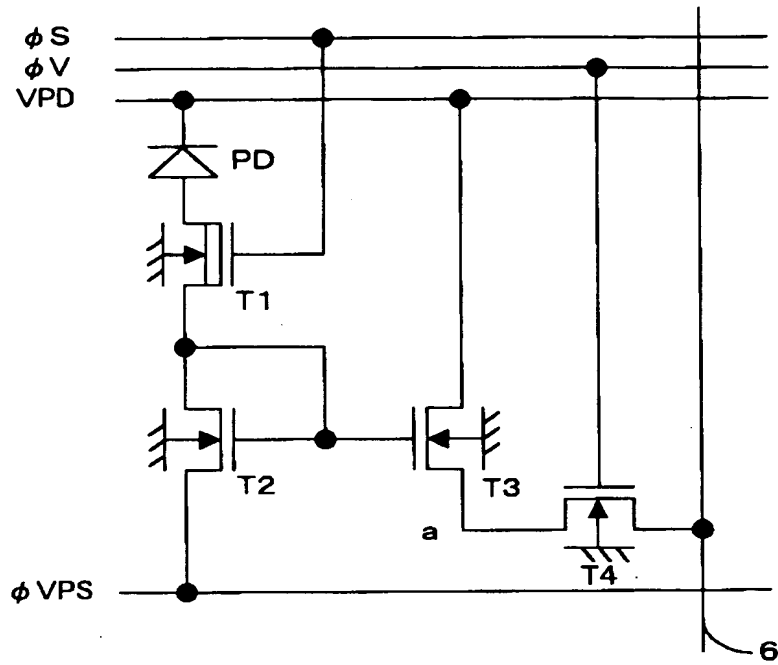
【図 2 5】



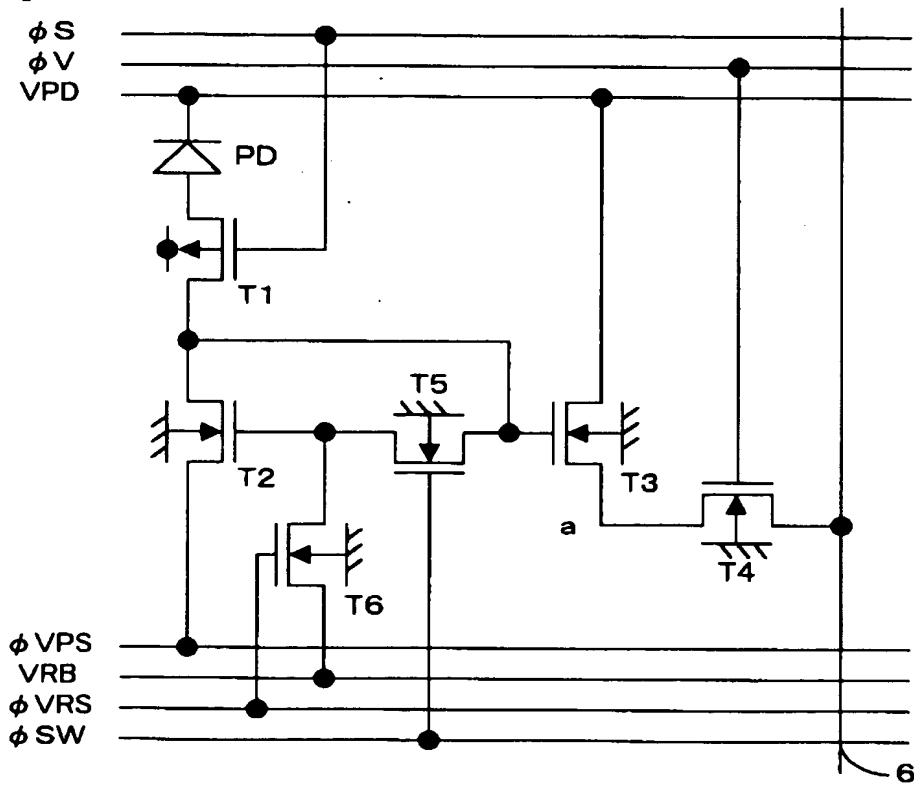
【図 2 6】



【図 2 7】



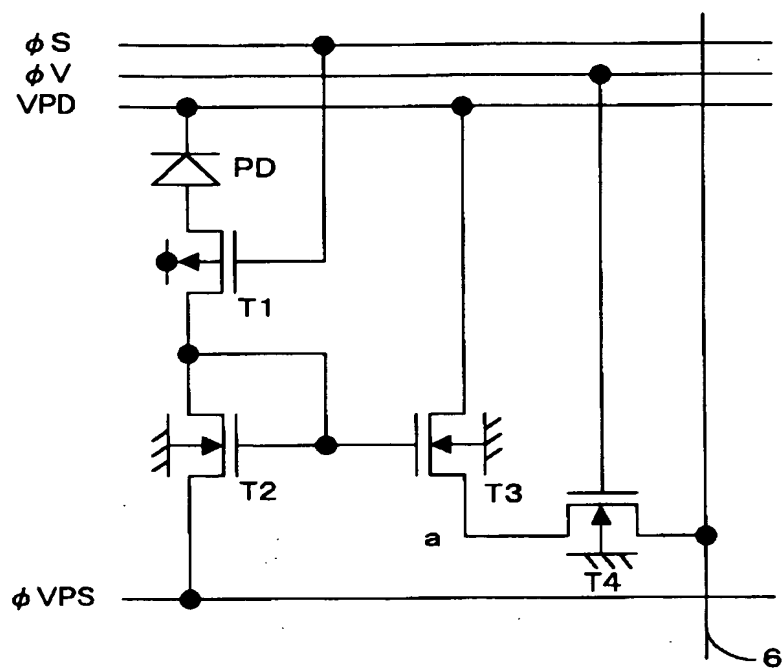
【図 2 8】



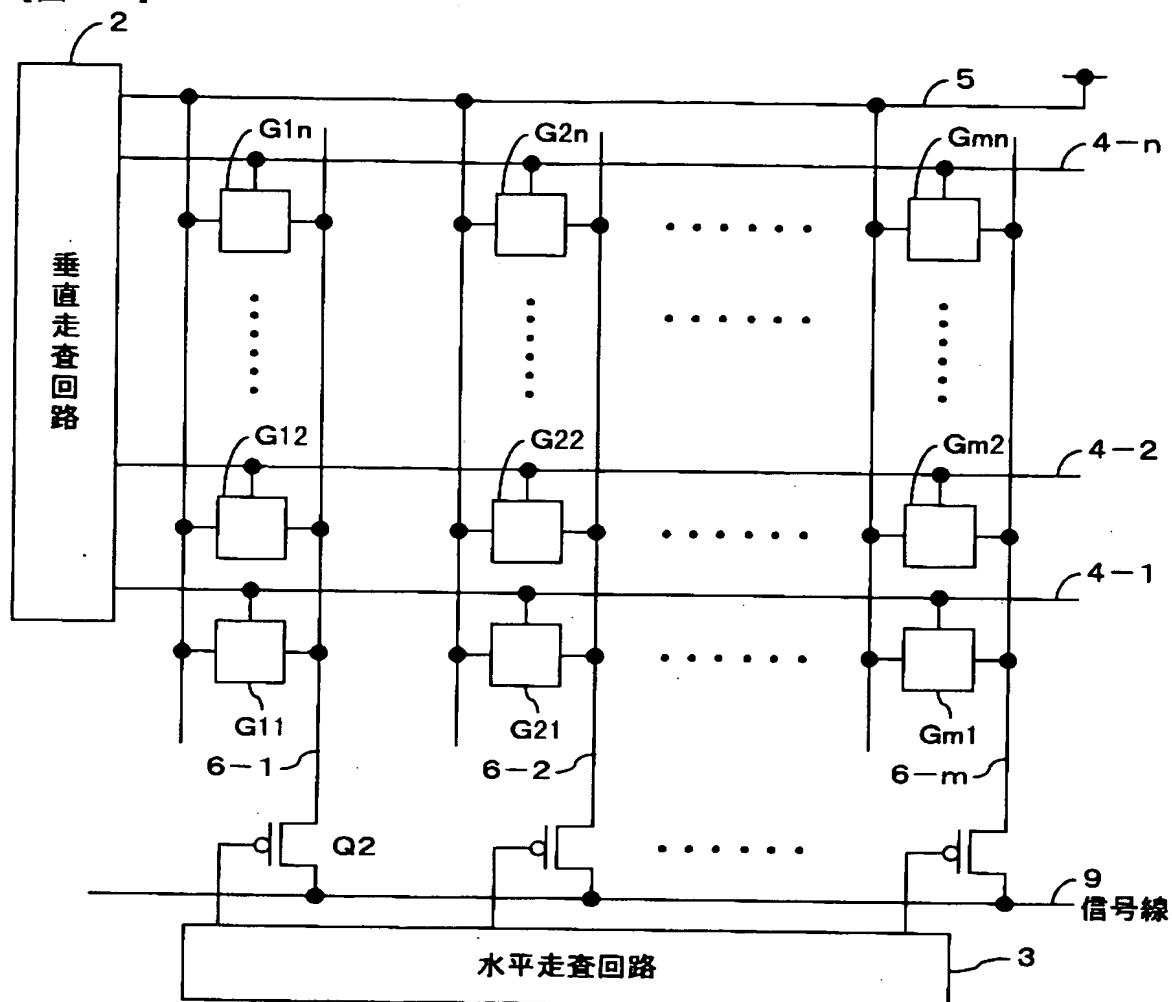




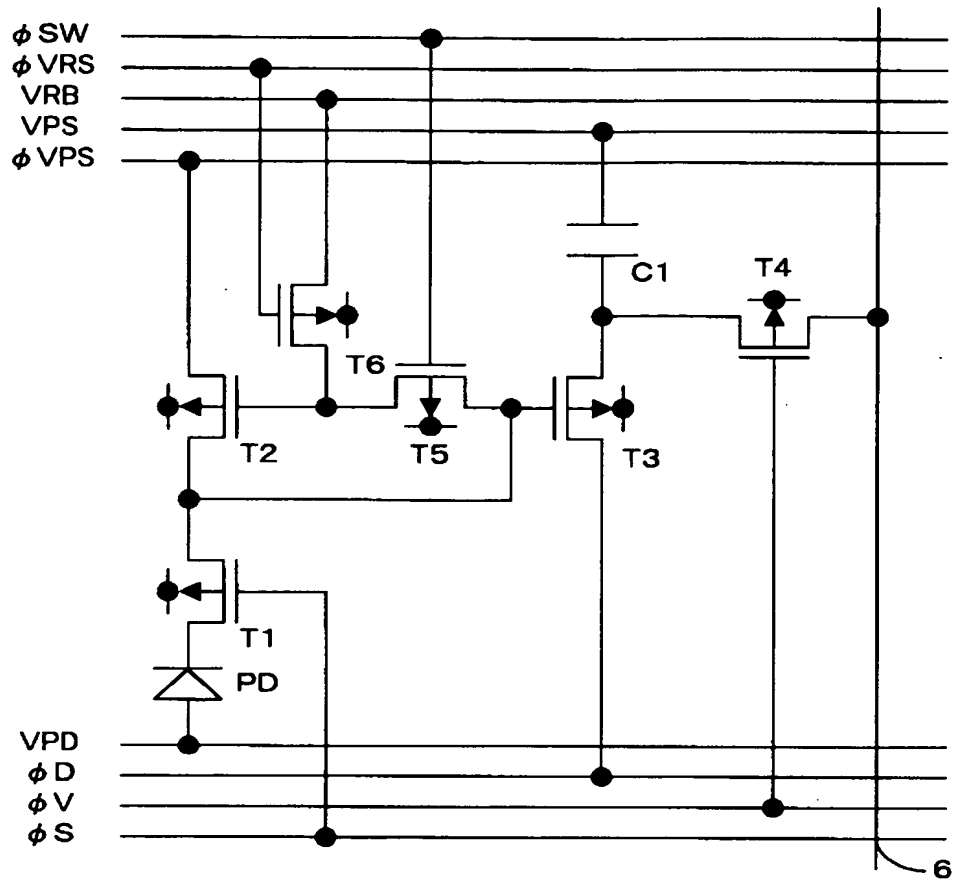
【図 3 1】



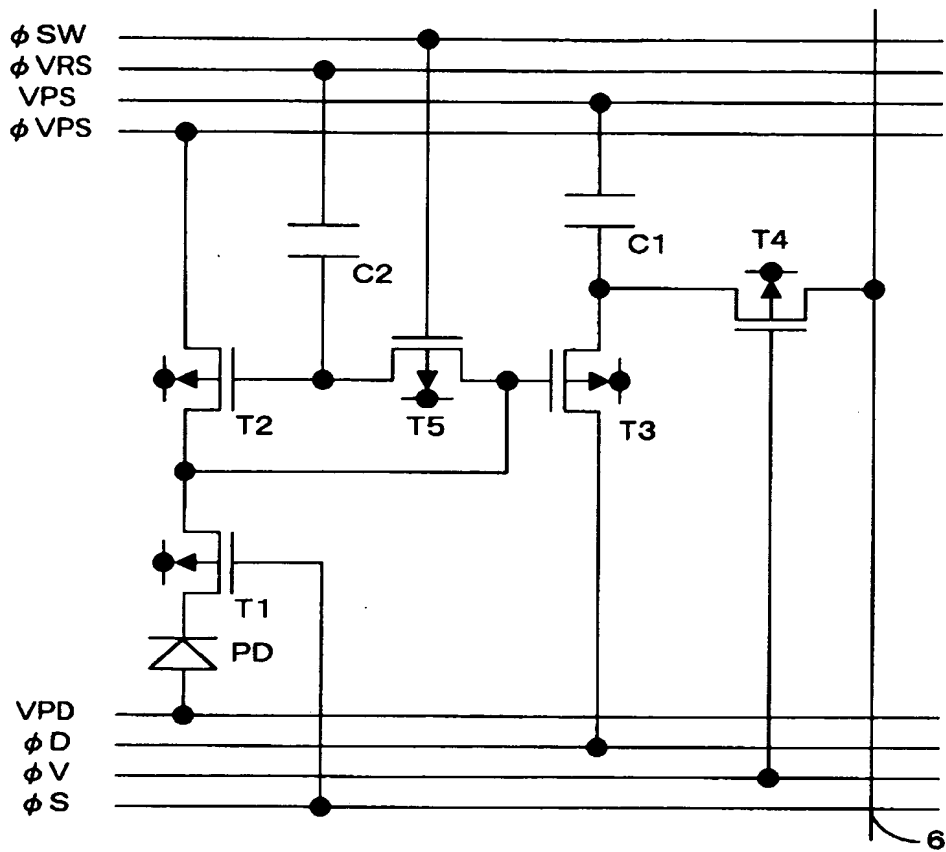
【図 3 2】



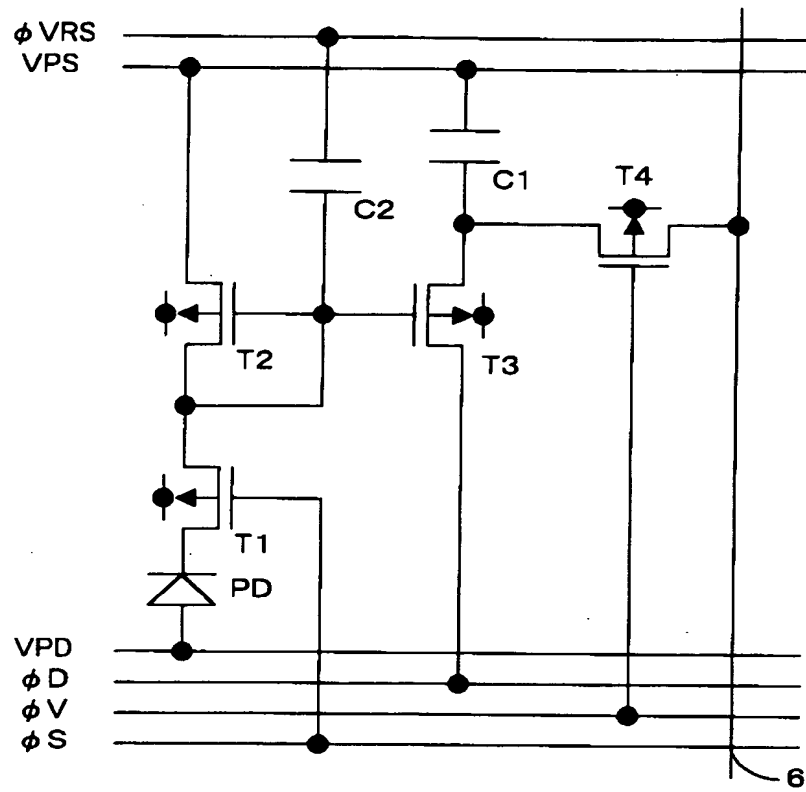
【図 3 3】



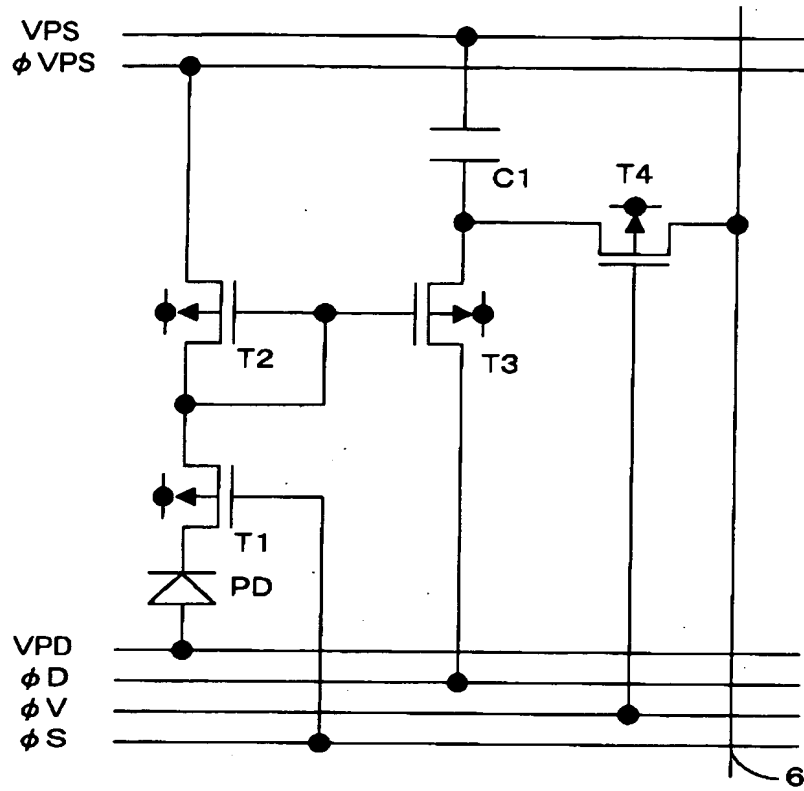
【図 3 4】



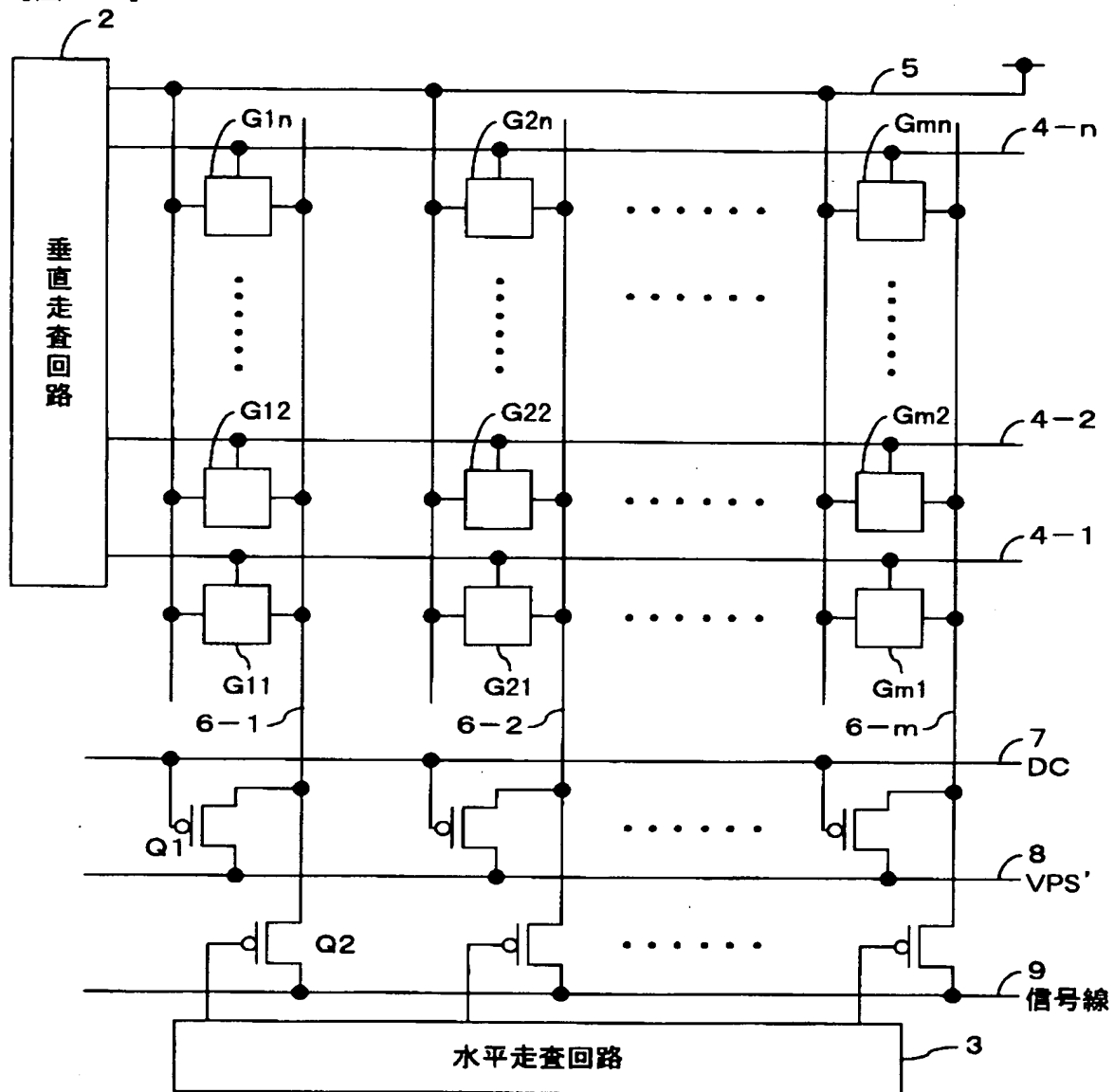
【図 3 5】



【図 3 6】

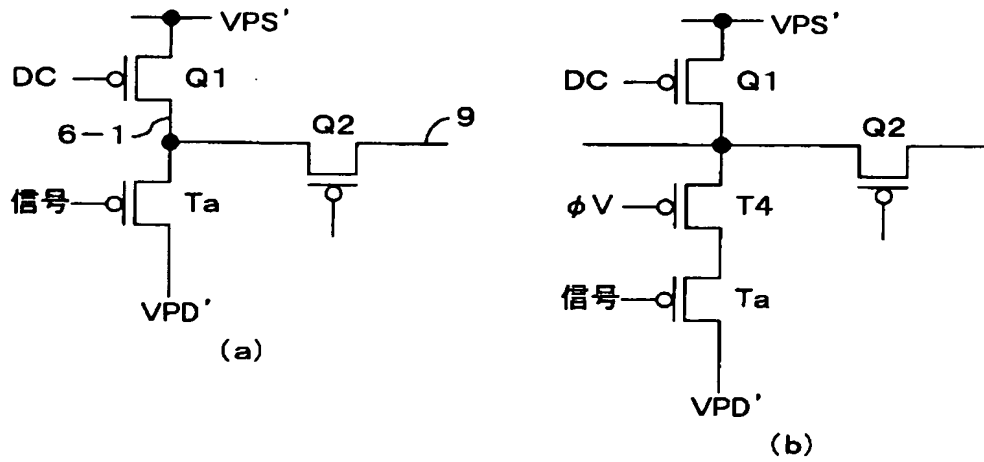


【図 3 7】

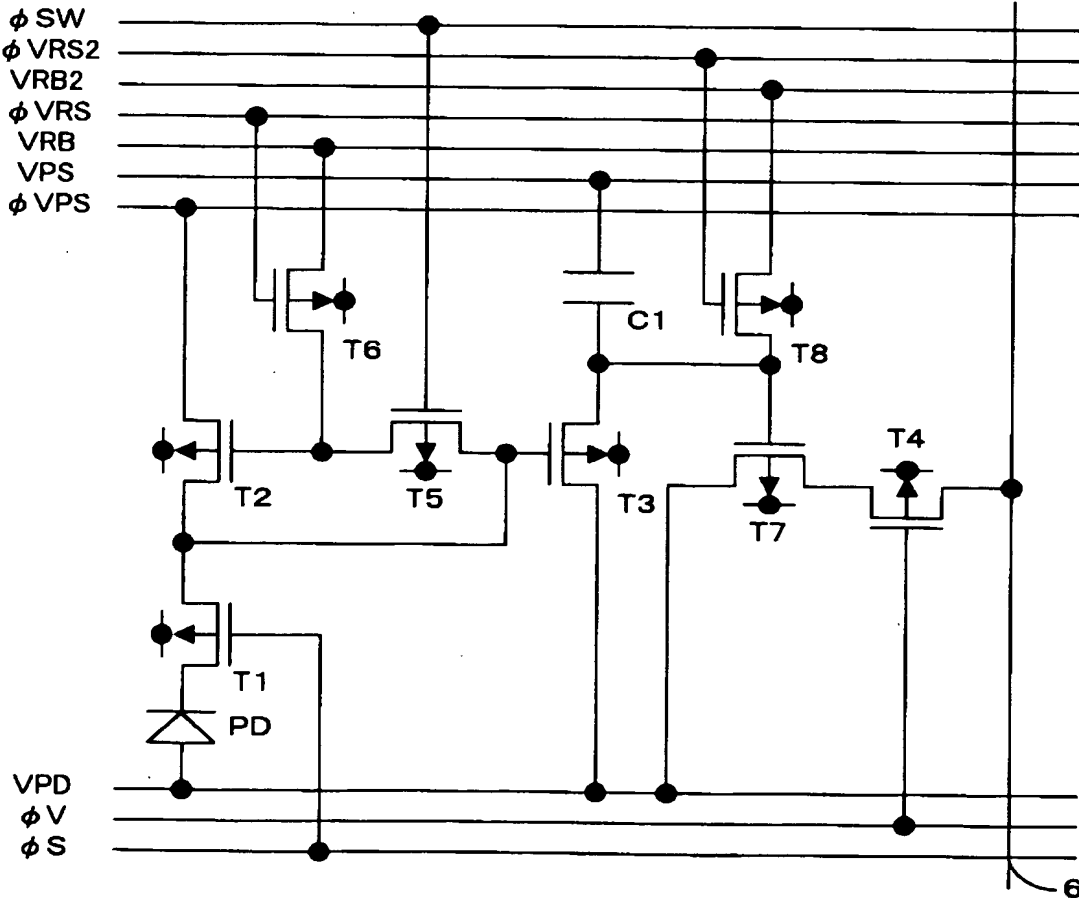




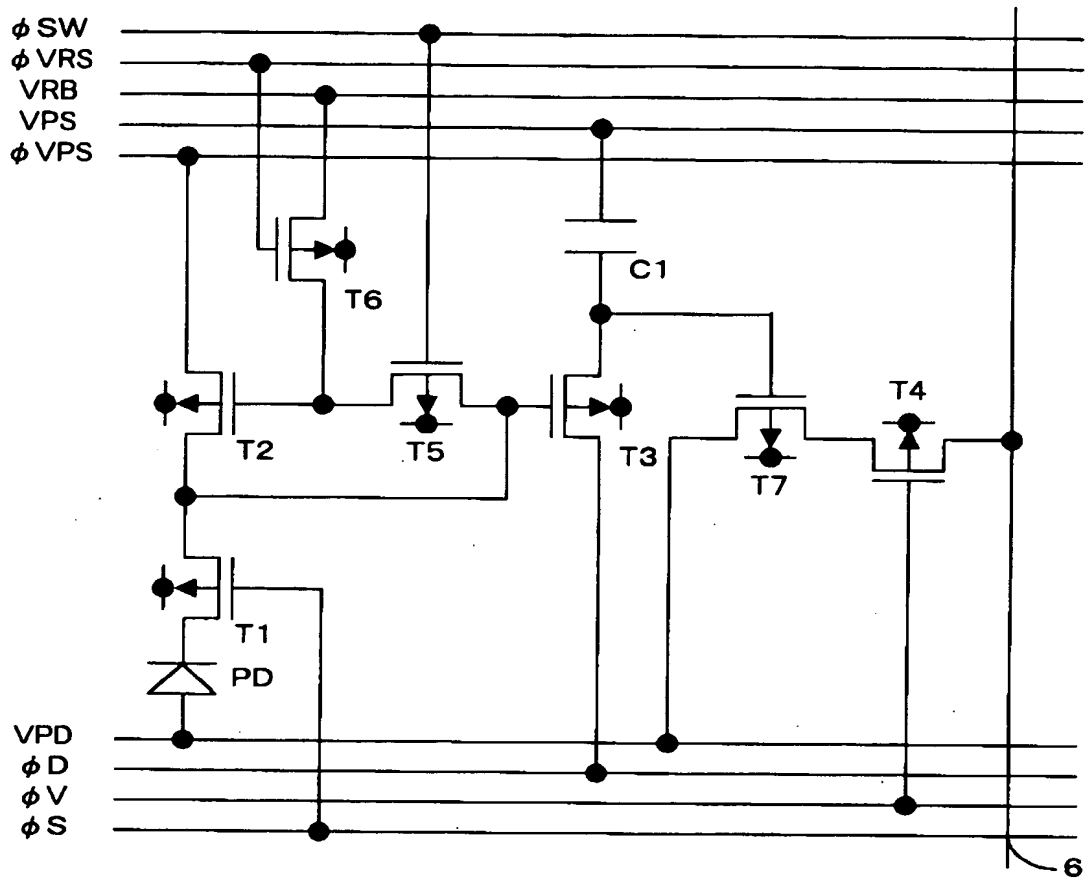
【図 3 8】



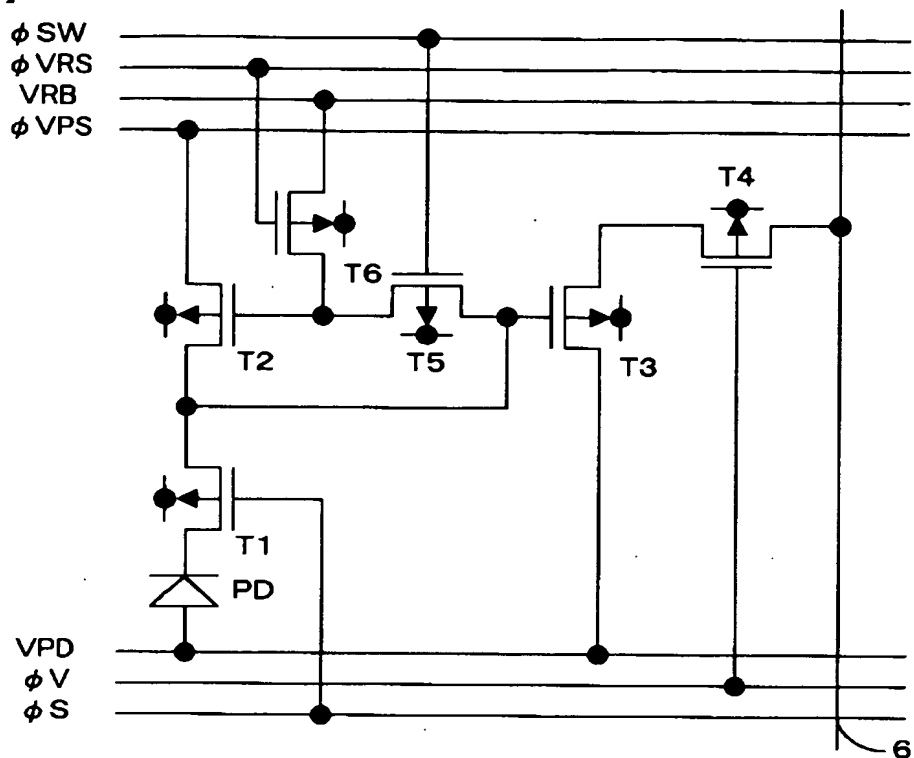
【図 3 9】



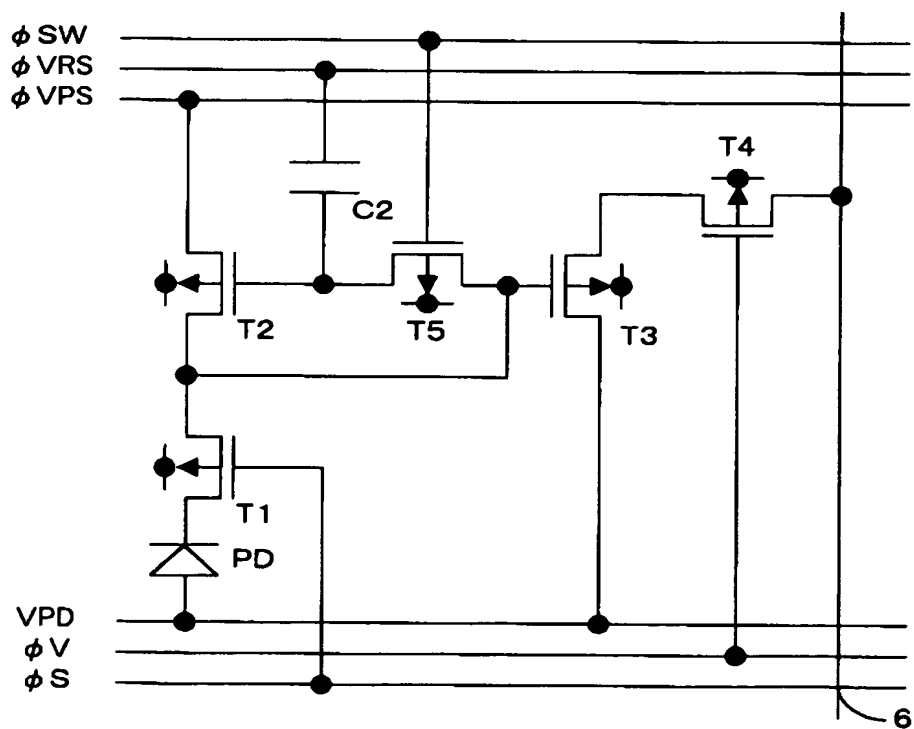
【図 4 0】



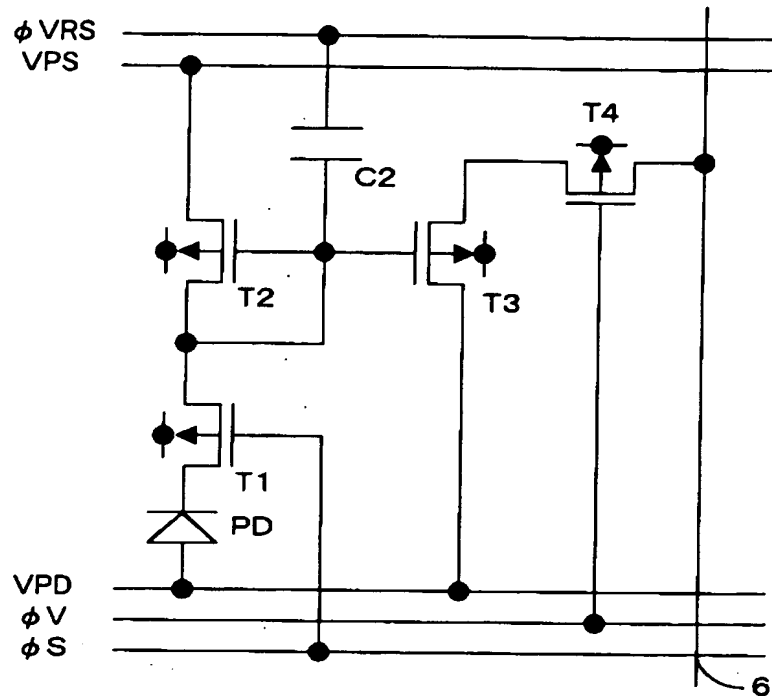
【図 4 1】



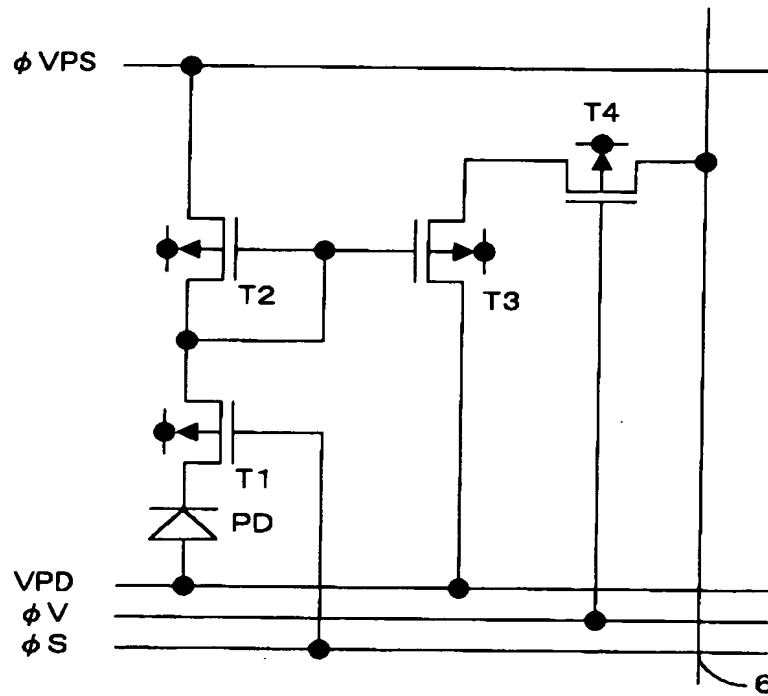
【図 4 2】



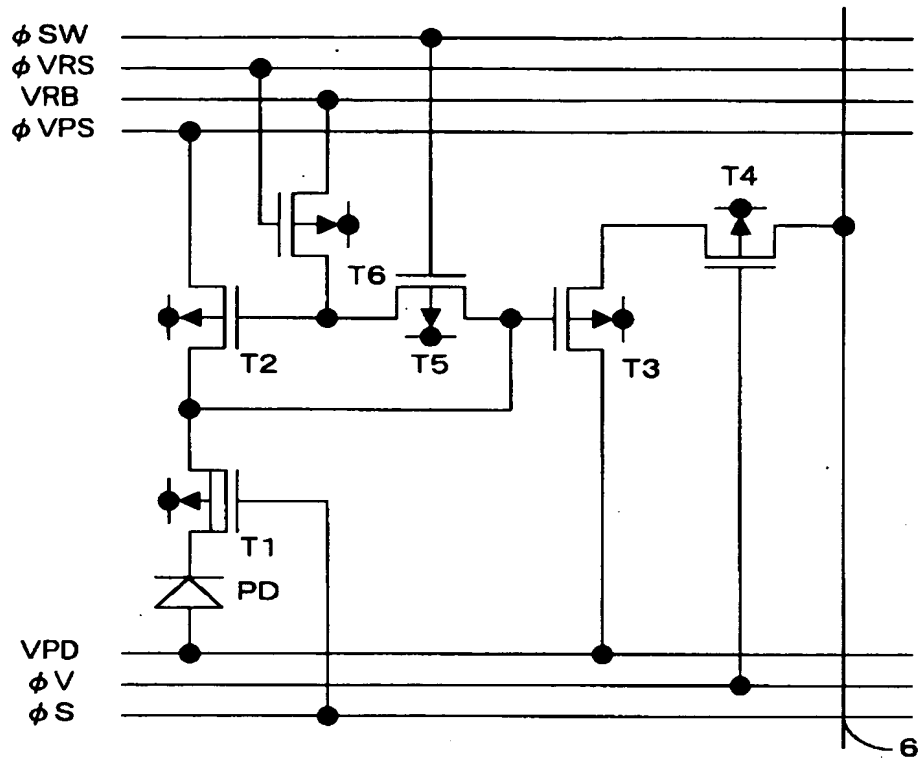
【図 4 3】



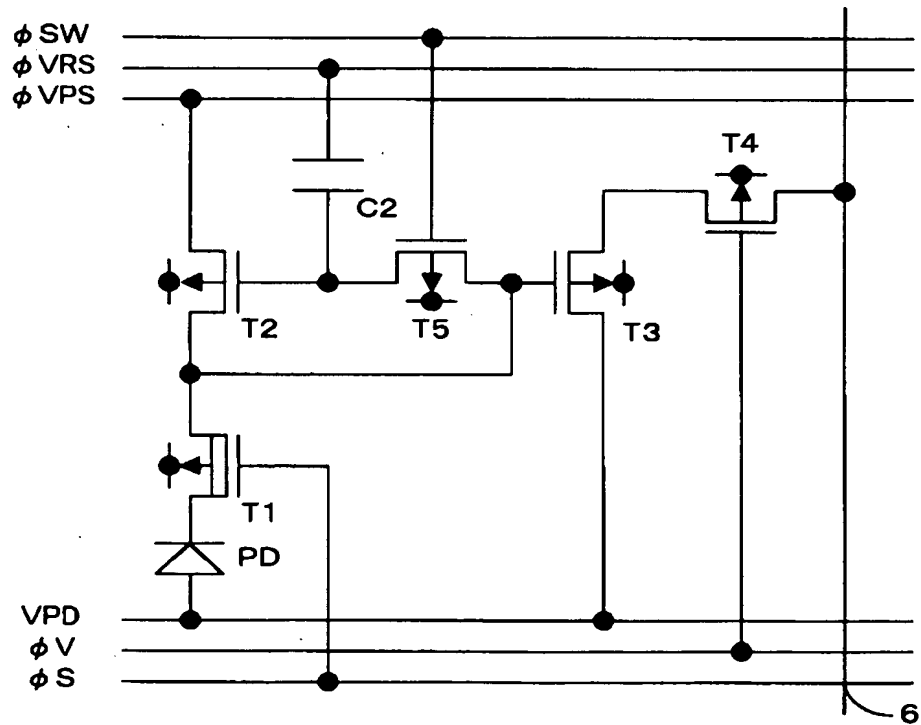
【図 4 4】



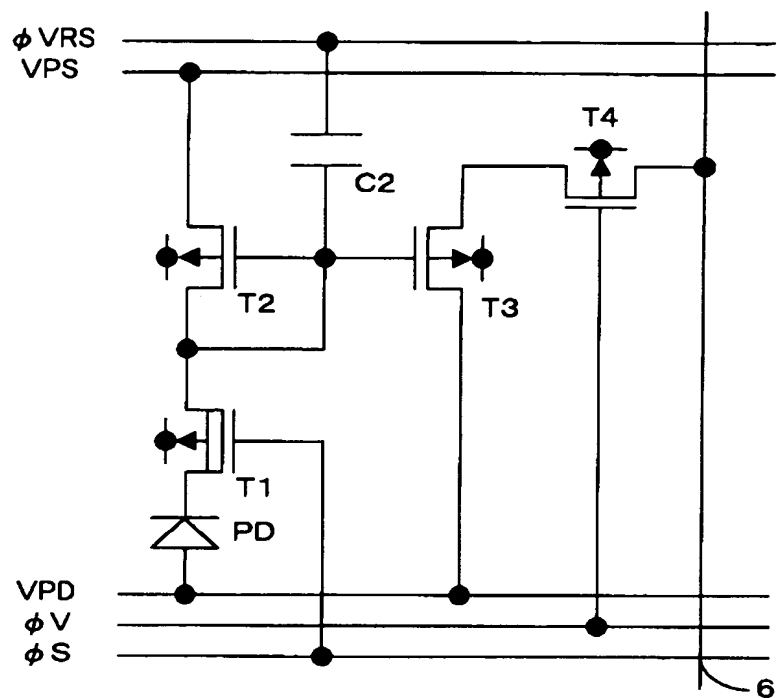
【図 4 5】



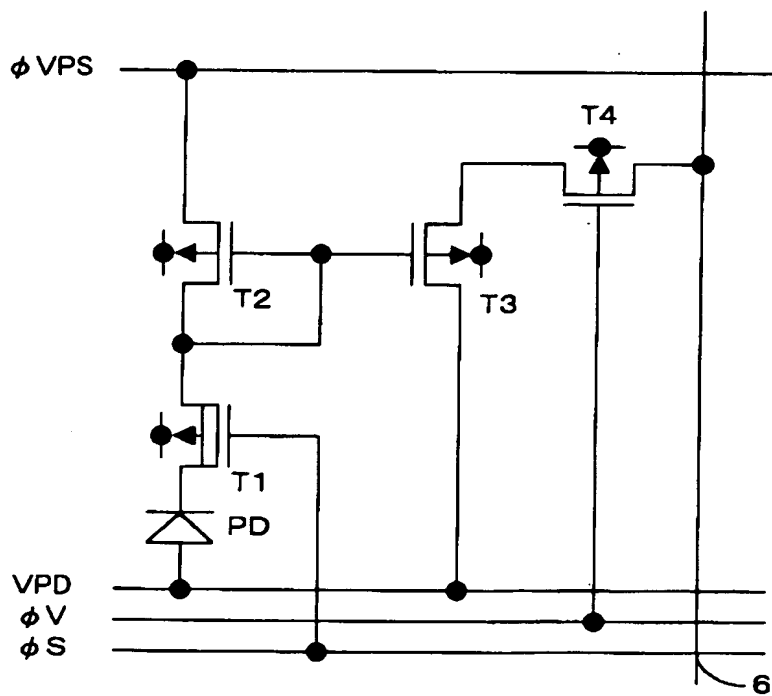
【図 4 6】



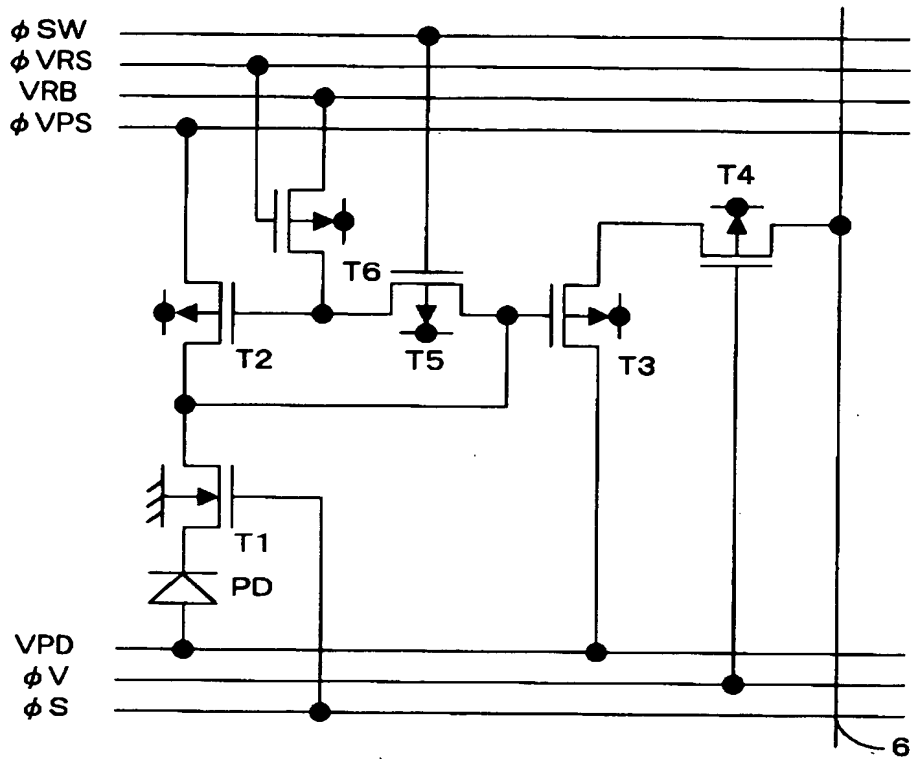
【図 4 7】



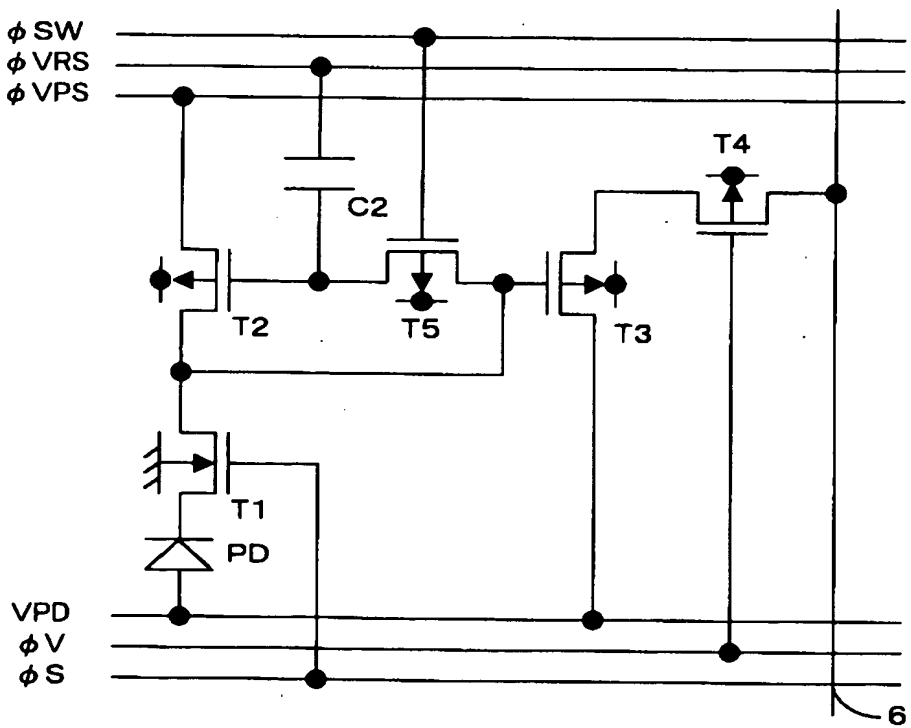
【図 4 8】



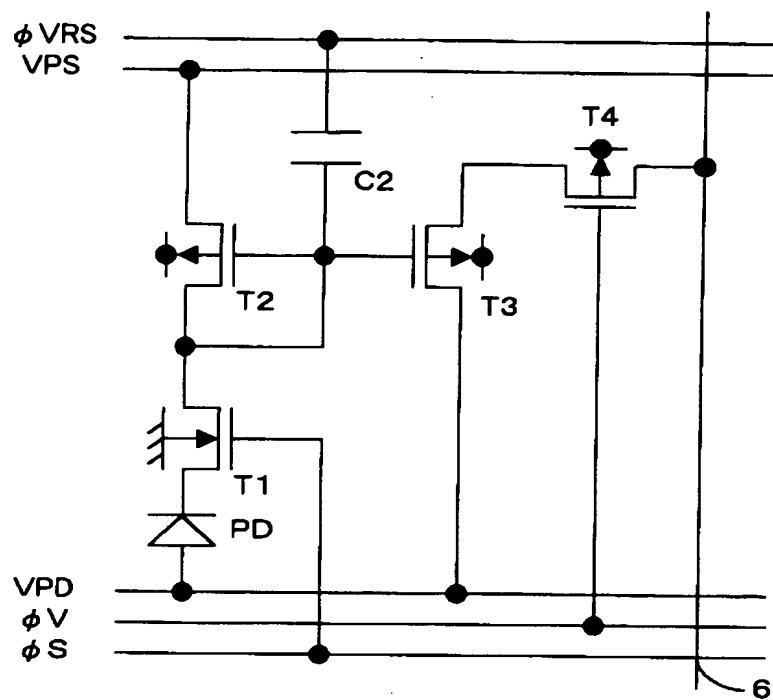
【図 4 9】



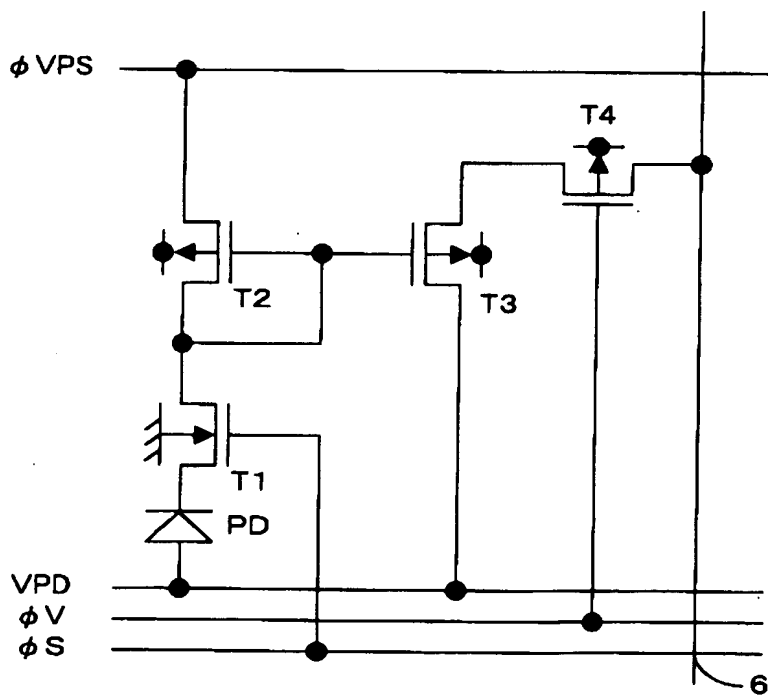
【図 5 0】



【図 5 1】

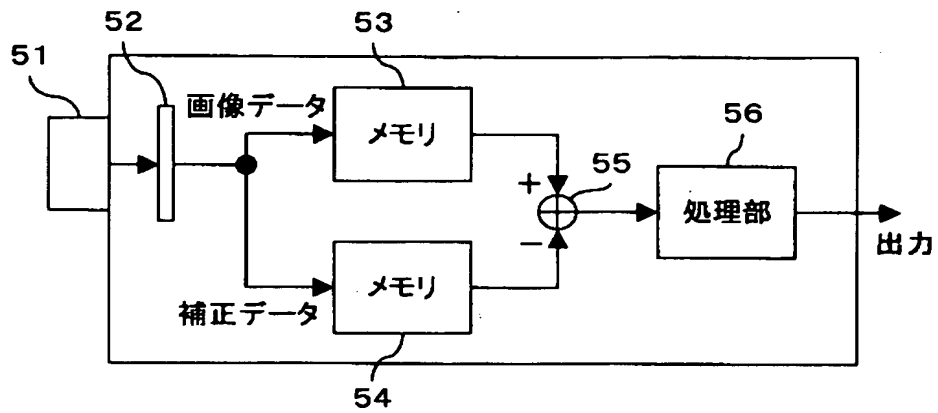


【図 5 2】

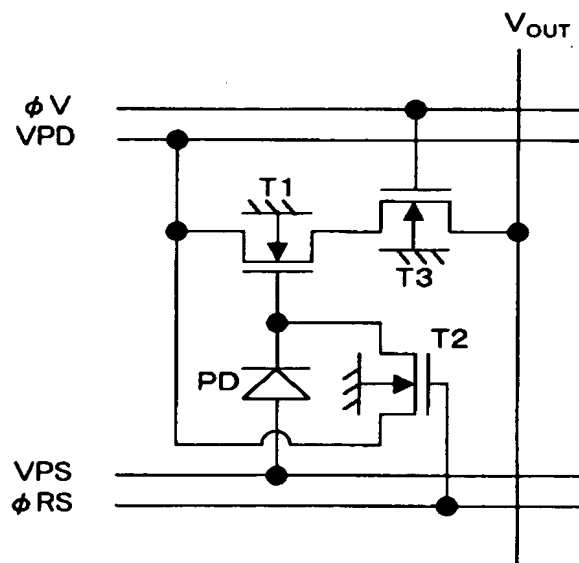




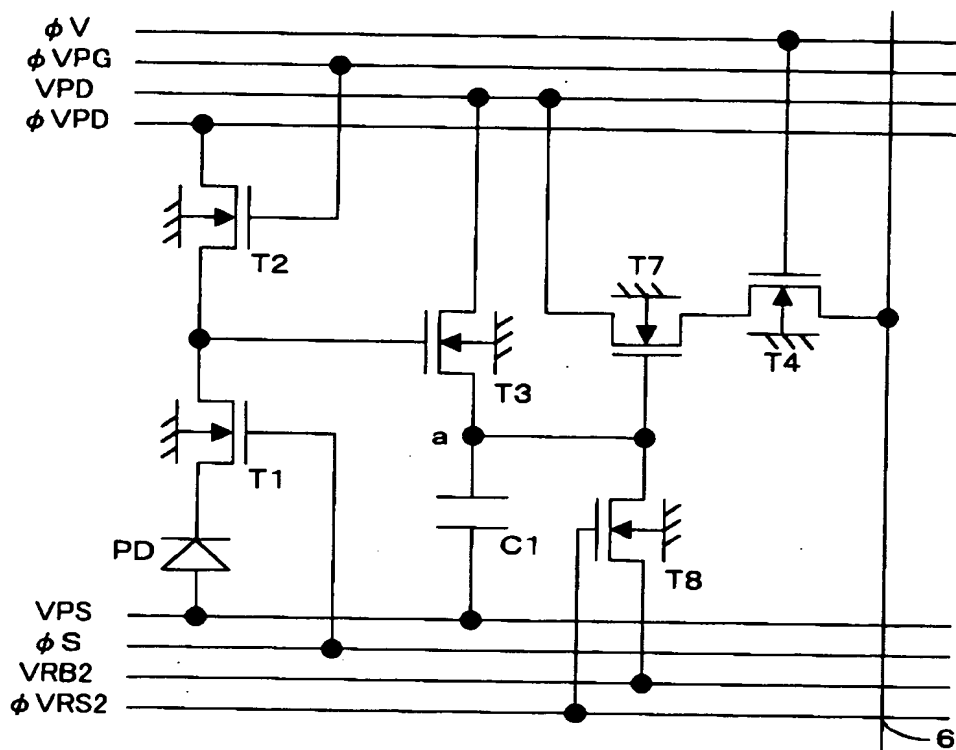
【図 5 3】



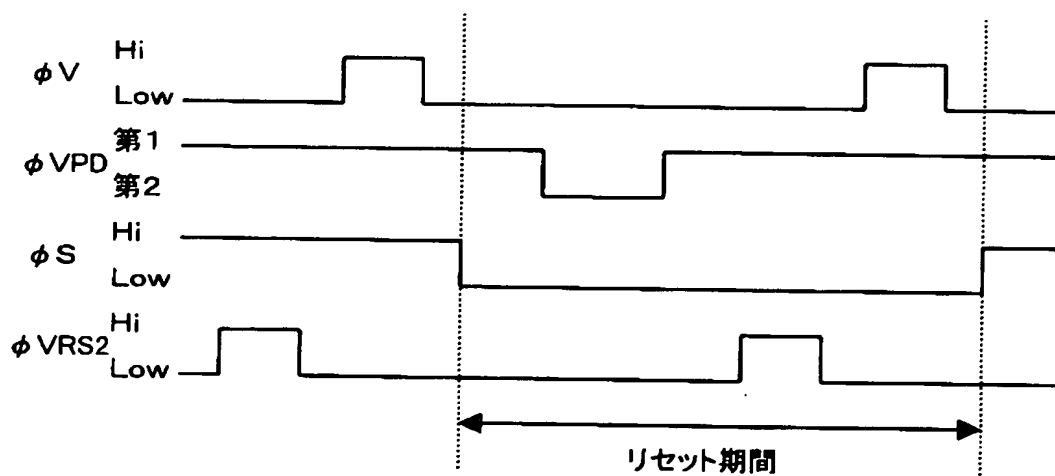
【図 5 4】



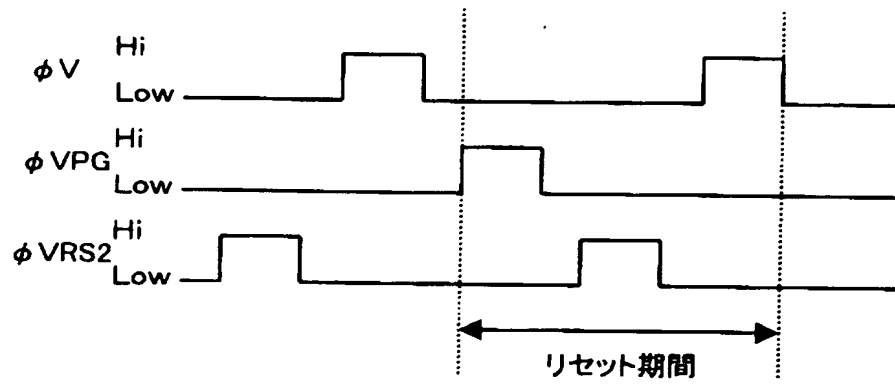
【図 5 5】



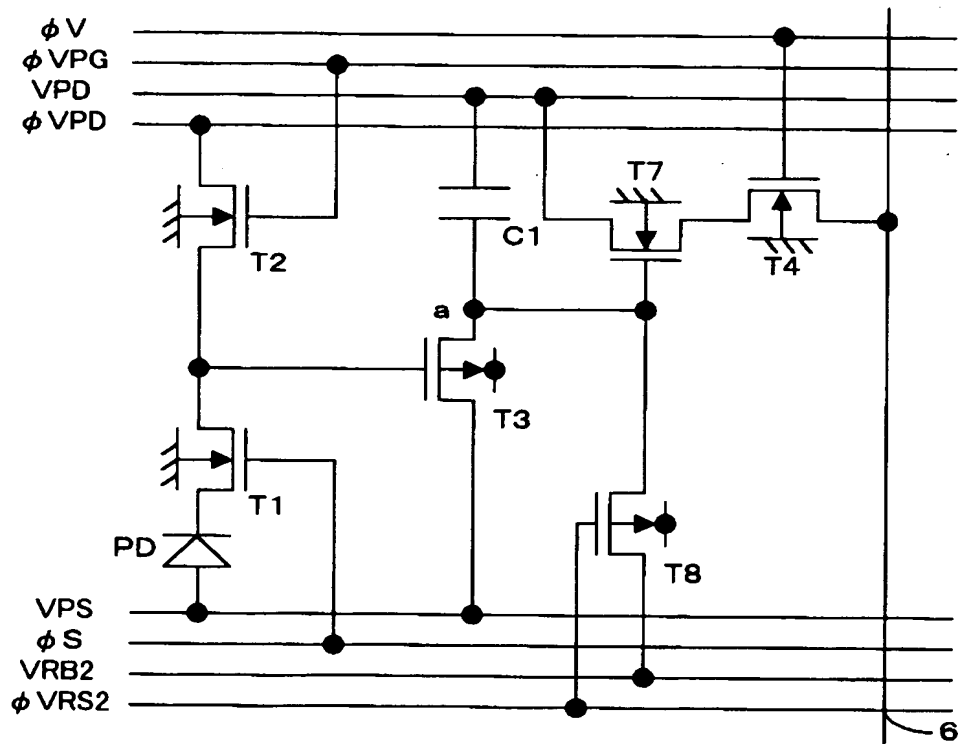
【図 5 6】



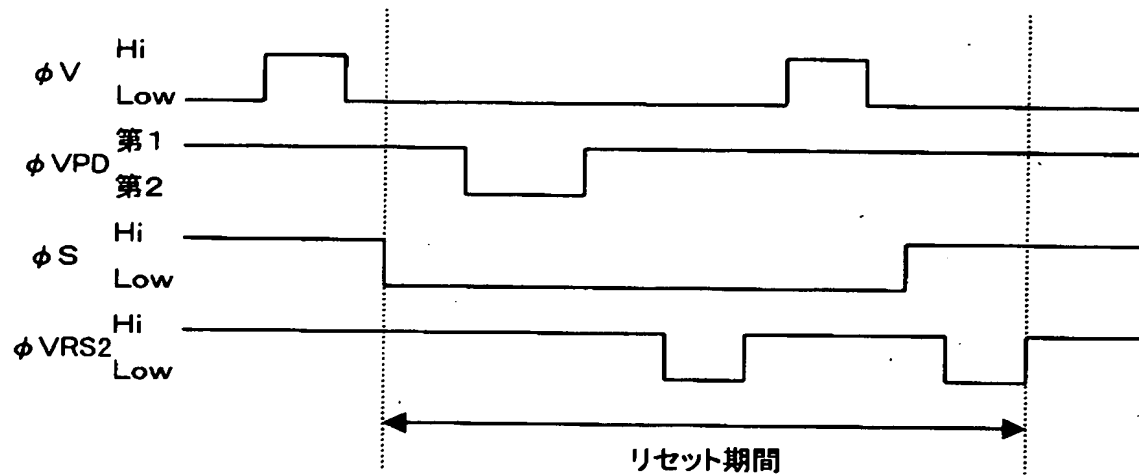
【図 5 7】



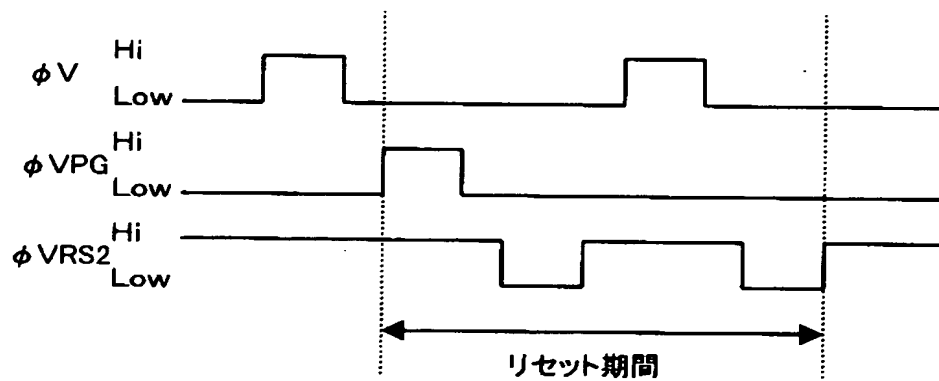
【図 5 8】



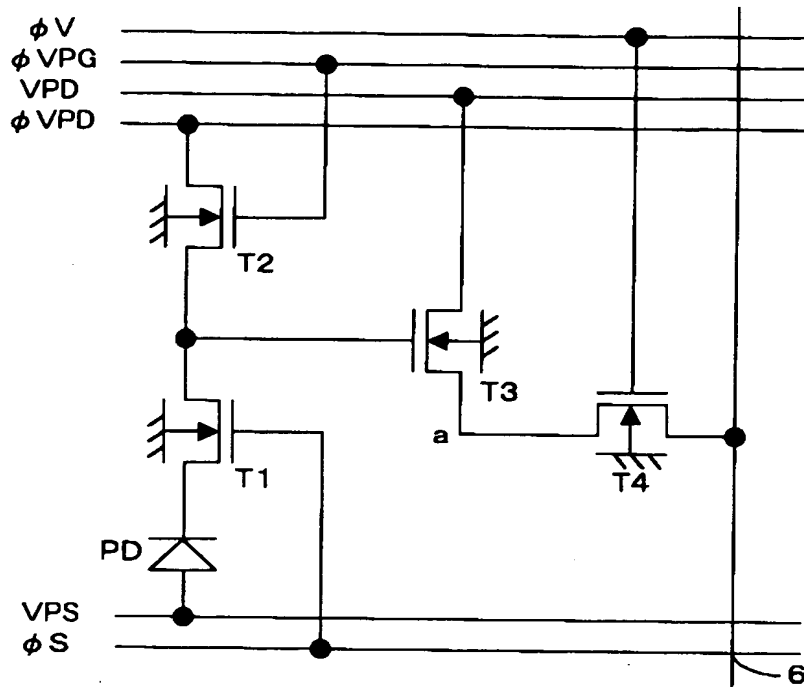
【図 5 9】



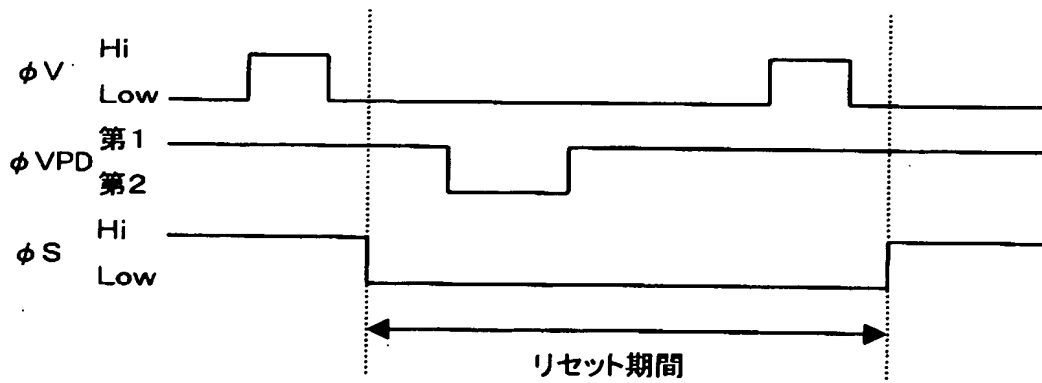
【図 6 0】



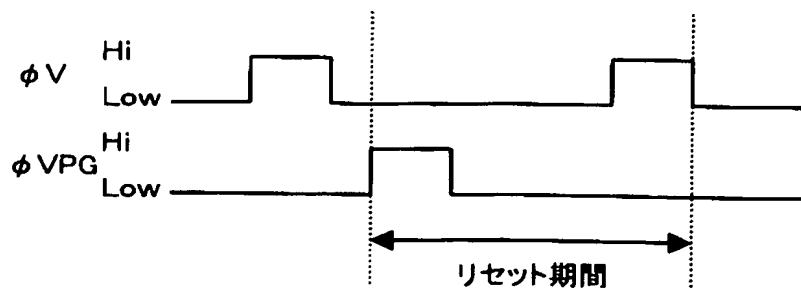
【図 6 1】



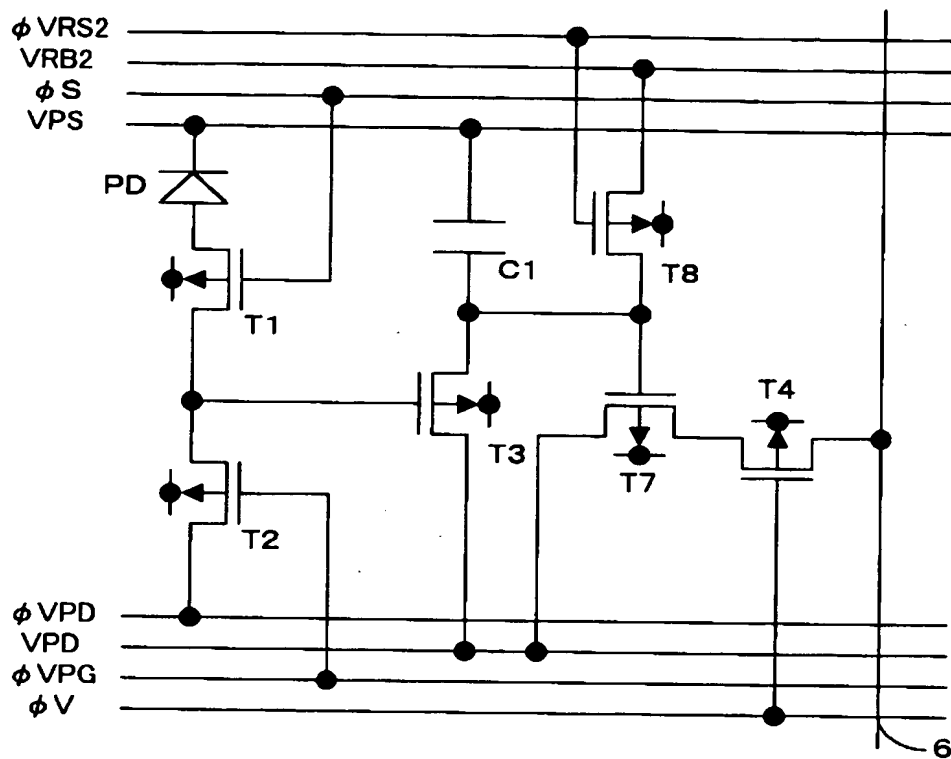
【図 6 2】



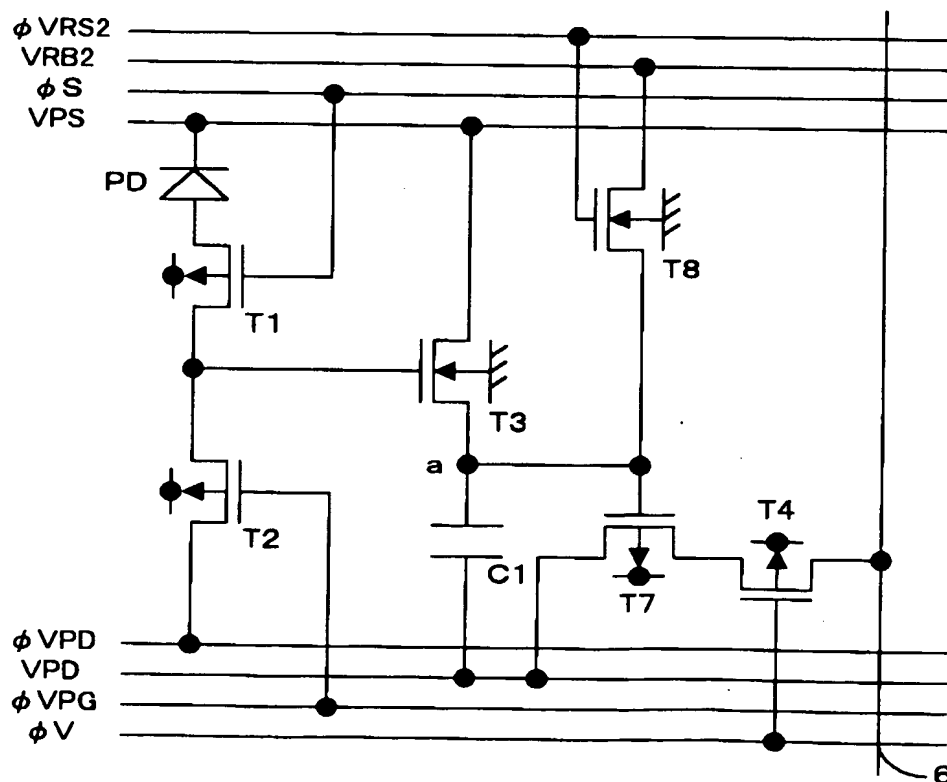
【図 6 3】



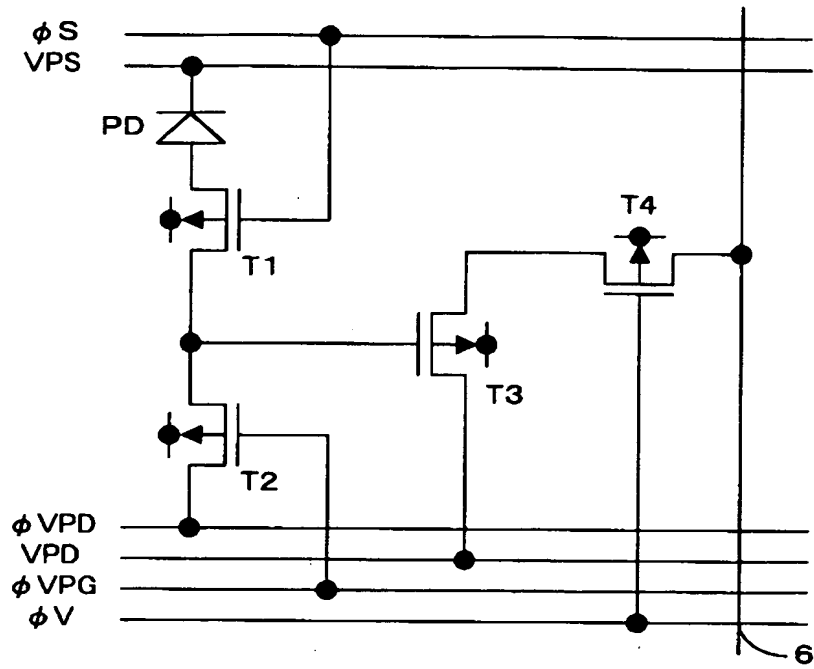
【図 6 4】



【図 6 5】



【図 6 6】



【書類名】 要約書

【要約】

【課題】本発明は、高輝度域から低輝度域までの幅広い輝度範囲の被写体を高精細に撮像することができるとともに、低輝度域でも各画素が高速に基の状態にリセットされる応答性の良い固体撮像装置を提供することを目的とする。

【解決手段】各画素が撮像動作を行う際、MOSトランジスタT1、T5をONにするとともにMOSトランジスタT6をOFFにして、MOSトランジスタT2をサブスレッシュホールド領域で動作させる。各画素がリセット動作を行う際、MOSトランジスタT1、T5をOFFにするとともにMOSトランジスタT6をONにしてMOSトランジスタT2のゲート電圧を一定にする。このとき、MOSトランジスタT2を導通状態にした後、信号φVPSをハイレベルにしてカットオフさせることにより、MOSトランジスタT2の閾値に応じた信号を補正データとして出力する。

【選択図】 図2



出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 6 0 7 9 ]

1. 変更年月日 1 9 9 4 年 7 月 2 0 日

[ 変更理由 ] 名称変更

住 所 大阪府大阪市中央区安土町二丁目 3 番 1 3 号 大阪国際ビル  
氏 名 ミノルタ株式会社